

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-249624
 (43)Date of publication of application : 17.09.1999

(51)Int.Cl. G09G 3/36
 G02F 1/133

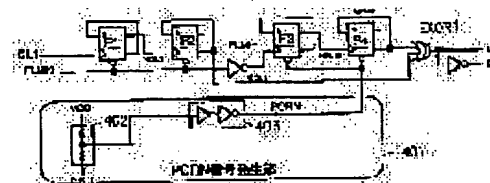
(21)Application number : 10-050699 (71)Applicant : HITACHI LTD
 HITACHI DEVICE ENG CO LTD
 HITACHI VLSI ENG CORP
 (22)Date of filing : 03.03.1998 (72)Inventor : GOTO MITSURU
 KATAYANAGI HIROSHI
 OTE YUKIHIDE
 SAITO YOSHIYUKI
 KODERA KOICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the generation of black or white vertical stripes on a display screen and to improve display quality by outputting a switching instruction to an amplifier circuit switching means at a prescribed period.

SOLUTION: A clock CL1 is inputted to a control signal generation circuit and divided into two periods respectively by D type flip flop (FF) circuits F1, F2 and a clock QCL1 is outputted. A frame recognition signal FLMN for recognizing each frame is also inputted. The signal FLMN is inverted by an inverter (INV) and divided into two periods respectively by D type FF circuits F3, F4 and a signal QFLM is outputted. These signals QCL1, QFLM are inputted to an exclusive OR circuit EXOR1 and a signal CHOPA is outputted from the circuit EXOR1 and inverted by an INV to generate a signal CHOPB. These signals CHOPA, CHOPB are level-shifted by a level shifting circuit and control signals A, B are respectively generated.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

This Page Blank (uspto)

English Translation of what is presently
understood to be the relevant passages of Japanese
Unexamined patent publication No.11-249624/1999

The following is an English translation of what is presently understood to be the relevant passages of the above-identified publication.

The circuit configuration in which the control signal (A) is "H" level and the control signal (B) is "L" level is shown in Figure 16 in the amplifier circuit 272 for low voltage use of the present publication shown in Figure 14. The circuit configuration in which the control signal (A) is "L" level and the control signal (B) is "H" level is shown in Figure 17. Note that Figures 16 and 17 also show the circuit configuration of the case where the amplifier circuits shown in Figures 16 and 17 is expressed by the general operational amplifier symbol. As understood from Figures 16 and 17, in the amplifier

This Page Blank (uspto;

circuit 272 for low voltage use of the present publication, the MOS transistor of input stage to which an input voltage (V_{in}) is applied and the MOS transistor of input stage to which an output voltage (V_{out}) is returned by the feedback are alternately switched. This indicates that the output voltage (V_{out}) is equal to the sum of the input voltage (V_{in}) and the offset voltage (V_{off}) as shown in the following equation (1) according to the circuit configuration shown in Figure 16. This also indicates that the output voltage (V_{out}) is equal to the subtraction of the offset voltage (V_{off}) sum from the input voltage (V_{in}) and as shown in the following equation (2) according to the circuit configuration shown in Figure 17.

$$V_{out}=V_{in} + V_{off} \quad \cdots (1)$$

$$V_{out}=V_{in} - V_{off} \quad \cdots (2)$$

As shown in the timing chart of Figure 19, the control signals (A) and (B) that are outputted from the control circuit 152 are inverted in their phases for every two frames. As shown in Figure 19, the drain signal line (D) that are connected with (1) the amplifier circuit 271 for high voltage use having an offset voltage of V_{ofh} and (2) the amplifier circuit 272 for low voltage use having

This Page Blank (uspto;

an offset voltage of V_{of1} receives $(V_H + V_{ofh})$ from the amplifier circuit 271 in the first line of the first frame, and receives $(V_H - V_{ofh})$ from the amplifier circuit 271 in the first line of the third frame. Accordingly, in the corresponding pixel, the increase and decrease of the brightness that are generated by the offset voltage V_{ofh} are canceled with each other. In the first line of the second frame, the drain signal line (D) receives $(V_L + V_{ofl})$ from the amplifier circuit 272 for low voltage use, and receives $(V_L - V_{ofl})$ from the amplifier circuit 272 in the first line of the fourth frame. Accordingly, in the corresponding pixel, the increase and decrease of the brightness that are generated by the offset voltage V_{ofl} are canceled with each other. As shown in Figure 20, the increase and decrease of the brightness that are generated by the offset voltages V_{ofh} and V_{ofl} of the respective amplifier circuits 271 for high voltage use and 272 for low voltage use are canceled among the successive four frames. This results in that the brightness of the pixel to which an output voltage shown in Figure 19 is applied becomes an ordinary brightness corresponding to the gradation voltage.

Figure 20 is an explanatory diagram showing the reason why the longitudinal line occurred in the liquid

This Page Blank (uspto)

crystal display panel due to the offset voltage (V_{off}) is indiscernible.

Claims 1, 4, 5, 7, and 9 of the present invention relate to the above-mentioned Japanese Unexamined patent publication No.11-249624/1999.

This Page Blank (uspto)

H4-27/390

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-249624

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶
G 0 9 G 3/36
G 0 2 F 1/133

識別記号
5 5 0

F I
G 0 9 G 3/36
G 0 2 F 1/133 5 5 0

審査請求 未請求 請求項の数15 O L (全 45 頁)

(21) 出願番号 特願平10-50699
(22) 出願日 平成10年(1998) 3月3日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地
(71) 出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地
(71) 出願人 000233468
日立超エル・エス・アイ・エンジニアリン
グ株式会社
東京都国分寺市東恋ヶ窪三丁目 1 番地 1
(74) 代理人 弁理士 秋田 収喜

最終頁に続く

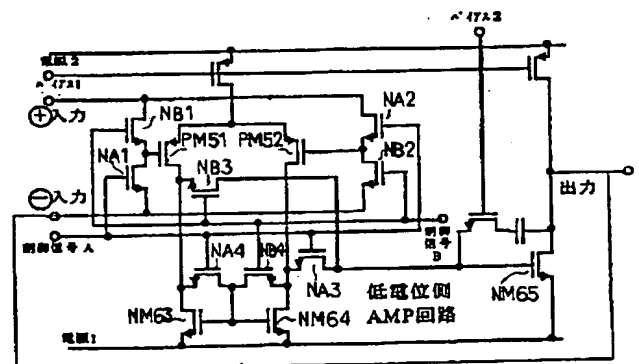
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 映像信号線駆動手段のアンプ回路のオフセット電圧により、液晶表示素子の表示画面中に黒または白の縦筋が生じるのを防止して、液晶表示素子に表示される表示画面の表示品質を向上させた液晶表示装置を提供する。

【解決手段】 映像信号線駆動手段が、入力映像信号を増幅して表示データに対応する映像信号電圧を映像信号線に出力する複数のアンプ回路を有する液晶表示装置において、各アンプ回路は、一対の入力端子の中の一方向を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、さらに、映像信号線駆動手段は、アンプ回路の一対の入力端子を、反転入力端子および非反転入力端子、あるいは非反転入力端子および反転入力端子に切り替えさせる切替制御信号をアンプ回路の切替手段に対して、所定の周期毎に出力する切替指示手段を有する。

図 1 4



【特許請求の範囲】

【請求項1】 複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置であって、

前記映像信号線駆動手段は、入力される入力映像信号を増幅して表示データに対応する映像信号電圧を各映像信号線に出力する複数のアンプ回路を有する液晶表示装置において、

前記各アンプ回路は、一対の入力端子の中の一方向、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、

さらに、前記映像信号線駆動手段は、前記アンプ回路の一対の入力端子の一方を反転入力端子、他方を非反転入力端子、あるいは前記アンプ回路の一対の入力端子の一方を非反転入力端子、他方を反転入力端子に切り替えさせる切替制御信号を、前記アンプ回路の切替手段に対して、所定の周期毎に出力する切替指示手段を有することを特徴とする液晶表示装置。

【請求項2】 前記各アンプ回路は差動増幅回路で構成され、

前記切替手段は、入力段の一対のトランジスタの一方のトランジスタの制御電極を、前記一対の入力端子の中の方方に接続する第1のスイッチング素子と、

前記入力段の一対のトランジスタの一方のトランジスタの制御電極を、前記一対の入力端子の中の方方に接続する第2のスイッチング素子と、

前記入力段の一対のトランジスタの他方のトランジスタの制御電極を、前記一対の入力端子の中の方方に接続する第3のスイッチング素子と、

前記入力段の一対のトランジスタの他方のトランジスタの制御電極を、前記一対の入力端子の中の方方に接続する第4のスイッチング素子と、

出力段のトランジスタの制御電極を、前記入力段の一対のトランジスタの他方のトランジスタの第2の電極に接続する第5のスイッチング素子と、

出力段のトランジスタの制御電極を、前記入力段の一対のトランジスタの一方のトランジスタの第2の電極に接続する第6のスイッチング素子と、

能動負荷回路を構成する一対のトランジスタの制御電極を、前記入力段の一対のトランジスタの一方のトランジスタの第2の電極に接続する第7のスイッチング素子と、

能動負荷回路を構成する一対のトランジスタの制御電極を、前記入力段の一対のトランジスタの他方のトランジスタの第2の電極に接続する第8のスイッチング素子とを有し、

前記第1のスイッチング素子、第3のスイッチング素子、

第5のスイッチング素子、および第7のスイッチング素子と、前記第2のスイッチング素子、第4のスイッチング素子、第6のスイッチング素子、および第8のスイッチング素子とは、前記切替指示手段から所定の周期毎に出力される切替制御信号により、交互にオンあるいはオフとされることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記映像信号線駆動手段の切替指示手段は、前記各アンプ回路の切替手段に対して、nフレーム毎に前記切替制御信号を出力することを特徴とする請求項1または請求項2に記載の液晶表示装置。

【請求項4】 前記映像信号線駆動手段は、入力される表示データ取込開始信号のハイレベル期間あるいはロウレベル期間の違いにより、各フレームの切り替わりを検出し、フレーム切替信号を出力するフレーム切替検出手段を有し、

前記切替指示手段は、前記フレーム切替検出手段からのフレーム切替信号に基づいて、前記各アンプ回路の切替手段に対して、前記切替制御信号を出力することを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 前記映像信号線駆動手段の切替指示手段は、前記各アンプ回路の切替手段に対して、各フレーム内でnライン毎、かつnフレーム毎に前記切替制御信号を出力することを特徴とする請求項1または請求項2に記載の液晶表示装置。

【請求項6】 前記映像信号線駆動手段は、入力される表示データ取込開始信号のハイレベル期間あるいはロウレベル期間の違いにより、各フレームの切り替わりを検出し、フレーム切替信号を出力するフレーム切替検出手段を有し、

前記切替指示手段は、前記フレーム切替検出手段からのフレーム切替信号、および出力タイミング制御用のクロックに基づいて、前記各アンプ回路の切替手段に対して、前記切替制御信号を出力することを特徴とする請求項5に記載の液晶表示装置。

【請求項7】 前記映像信号線駆動手段は、入力される表示データ取込開始信号に基づき、ハイレベル期間あるいはロウレベル期間が相違する表示データ取込開始信号を生成・出力する表示データ取込開始信号生成手段を、さらに有することを特徴とする請求項4または請求項6に記載の液晶表示装置。

【請求項8】 前記各アンプ回路に入力される任意の一対の入力映像信号を交互に切り替える入力映像信号切替手段を有することを特徴とする請求項1ないし請求項7のいずれか1項に記載の液晶表示装置。

【請求項9】 前記複数のアンプ回路は、一対が正極性の映像信号電圧を出力する第1のアンプ回路と、負極性の映像信号電圧を出力する第2のアンプ回路とで構成される複数対のアンプ回路対で構成されることを特徴とする請求項1ないし請求項7のいずれか1項に記載の液晶

表示装置。

【請求項 10】 前記各アンプ回路対に入力される任意の一对の入力映像信号を交互に切り替える入力映像信号切替手段と、前記各アンプ回路対から出力される一对の映像信号電圧を、前記入力映像信号切替手段での切り替えに応じて交互に切り替えて、任意の一对の映像信号線に出力する映像信号電圧切替手段とを有することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】 前記各アンプ回路は、ボルテージホロワ回路で構成されることを特徴とする請求項 1 ないし請求項 10 のいずれか 1 項に記載の液晶表示装置。

【請求項 12】 前記各アンプ回路対は、ボルテージホロワ回路と反転増幅回路とで構成されることを特徴とする請求項 9 または請求項 10 に記載の液晶表示装置。

【請求項 13】 前記映像信号線駆動手段は、前記各アンプ回路に入力する入力映像信号を生成する入力映像信号生成手段を有し、前記入力映像信号生成手段は、表示データの電圧レベルを変換するレベルシフト回路群を含み、当該レベルシフト回路群を構成する各レベルシフト回路は、第 1 導電型の第 1 のトランジスタと、前記第 1 のトランジスタに接続される第 1 導電型の第 3 のトランジスタと、前記第 3 のトランジスタに接続される第 2 導電型の第 5 のトランジスタと、前記第 5 のトランジスタに接続される第 2 導電型の第 7 のトランジスタとで構成される第 1 の直列回路と、第 1 導電型の第 2 のトランジスタと、前記第 2 のトランジスタに接続される第 1 導電型の第 4 のトランジスタと、前記第 4 のトランジスタに接続される第 2 導電型の第 6 のトランジスタと、前記第 6 のトランジスタに接続される第 2 導電型の第 8 のトランジスタとで構成される第 2 の直列回路とを有し、前記第 1 のトランジスタと前記第 2 のトランジスタとは差動形式に接続され、また、前記第 7 の制御電極は前記第 6 のトランジスタと第 8 のトランジスタとの接続点に、前記第 8 の制御電極は前記第 5 のトランジスタと第 7 のトランジスタとの接続点に接続され、さらに、前記第 3 から第 6 のトランジスタの制御電極には、第 1 および第 2 の直列回路の両端に印加される電圧の略中間の電圧からなる一定のバイアス電圧が印加されることを特徴とする請求項 1 ないし請求項 12 のいずれか 1 項に記載の液晶表示装置。

【請求項 14】 複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置において、前記映像信号線駆動手段は、その入力段で 2 画素分の表示データをラッチし、1 画素分の表示データ毎に出力するプリラッチ部と、

2 系統のバスラインと、

前記プリラッチ部から出力される一方の 1 画素分の表示データを、2 系統のバスラインの一方、あるいは他方に、また、前記プリラッチ部から出力される他方の 1 画素分の表示データを、2 系統のバスラインの他方、あるいは一方に切り替えて出力する表示データ切替手段と、一对が、前記 2 系統のバスラインの一方の 1 画素分の表示データが入力され正極性の映像信号電圧を生成する正極性映像信号電圧生成手段と、

前記 2 系統のバスラインの他方の 1 画素分の表示データが入力され負極性の映像信号電圧を生成する負極性映像信号電圧生成手段とで構成される複数対の映像信号電圧生成手段対と、

前記各映像信号電圧生成手段対から出力される一对の映像信号電圧を、前記表示データ切替手段に応じて交互に切替えて一对の映像信号線に出力し、前記プリラッチ部から出力される 2 画素分の表示データに対応する映像信号電圧が印加される一对の画素に印加する映像信号電圧切替手段とを有することを特徴とする液晶表示装置。

【請求項 15】 複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置において、前記映像信号線駆動手段は、その入力段で 2 画素分の表示データをラッチし、1 画素分の表示データ毎に出力するプリラッチ部と、

2 系統のバスラインと、

前記プリラッチ部から出力される一方の 1 画素分の表示データを、2 系統のバスラインの一方、あるいは他方に、また、前記プリラッチ部から出力される他方の 1 画素分の表示データを、2 系統のバスラインの他方、あるいは一方に切り替えて出力する表示データ切替手段と、一对が、前記 2 系統のバスラインの一方の 1 画素分の表示データが入力され正極性の入力映像信号を生成する正極性入力映像信号生成手段と、前記 2 系統のバスラインの他方の 1 画素分の表示データが入力され負極性の入力映像信号を生成する負極性入力映像信号生成手段とで構成される複数対の入力映像信号生成手段対と、前記各入力映像信号生成手段対から出力される一对の入力映像信号を、前記表示データ切替手段に応じて交互に切替えて出力する入力映像信号切替手段と、前記各入力映像信号切替手段からの一对の入力映像信号を増幅して表示データに対応する映像信号電圧を各映像信号線に出力する複数のアンプ回路とを有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信

号線駆動手段（ドレインドライバ）に適用して有効な技術に関する。

【0002】

【従来の技術】画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧（表示データに対応する階調電圧；以下、階調電圧と称する。）を印加するため、各画素間のクロストークがなく、単純マトリクス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。このアクティブマトリクス型液晶表示装置の1つに、TFT（Thin Film Transistor）方式の液晶表示パネル（TFT-LCD）と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバおよびインタフェース部とを備えるTFT方式の液晶表示モジュールが知られている。このTFT方式の液晶表示モジュールにおいては、ドレインドライバ内に多階調電圧生成回路と、この多階調電圧生成回路で生成された多階調電圧の中から、表示データに対応する1つの階調電圧を選択する階調電圧選択回路と、階調電圧選択回路で選択された1つの階調電圧が入力されるアンプ回路とを備えている。この場合に、前記階調電圧選択回路には、レベルシフト回路を介して表示データの各ビット値が入力される。なお、このような技術は、例えば、特願平8-86668号に記載されている。

【0003】

【発明が解決しようとする課題】近年、TFT方式の液晶表示モジュール等の液晶表示装置においては、64階調表示から256階調表示へとより多階調表示が進みつつあり、前記多階調電圧生成回路で生成される多階調電圧の、1階調当たりの電圧幅（即ち、隣接する階調電圧間の電位差）が小さくなっている。一方、アンプ回路は、アンプ回路を構成する能動素子の特性のばらつきにより、オフセット電圧が生じるが、前記アンプ回路にオフセット電圧が生じると、前記アンプ回路の出力電圧に誤差が生じ、前記アンプ回路の出力電圧は目標値（正規の階調電圧）と異なる電圧となる。これにより、液晶表示パネル（TFT-LCD）に表示される表示画面中に、黒または白の縦筋が発生し、表示品質を著しく損なわせるという問題点があった。他方、TFT方式の液晶表示モジュール等の液晶表示装置においては、液晶表示パネル（TFT-LCD）の大型化、高解像度化（多画素化）の傾向にあり、その上、無駄なスペースをなくし、表示装置としての美観を惹起せしめるために、液晶表示装置の表示領域以外の領域、即ち、額縁部分を少しでも小さくする（狭額縁化）ことが要望されている。そ

して、前記階調電圧選択回路の前段に設けられる前記レベルシフト回路は、ソース・ドレイン間耐圧が高耐圧のトランジスタで構成される。しかしながら、前記レベルシフト回路のトランジスタとして、高耐圧のトランジスタを使用すると、前記ドレインドライバを構成する半導体集積回路（ICチップ）における当該レベルシフト回路部の面積が大きくなり、それに伴い、前記ドレインドライバを構成する半導体集積回路のチップサイズが大きくなり、チップ単価を下げることができず、かつ、前記狭額縁化に対応できないという問題点があった。

【0004】さらに、従来から液晶表示装置においては、液晶表示パネルの高解像度化が要求されており、液晶表示パネルの解像度が、例えば、VGA表示モードの640×480画素からSVGA表示モードの800×600画素と拡大されてきているが、近年、液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、XGA表示モードの1024×768画素、SXGA表示モードの1280×1024画素、UXGA表示モードの1600×1200画素とさらなる高解像度化が要求されている。

【0005】このような、液晶表示パネルの高解像度化に伴い、表示制御装置、ドレインドライバおよびゲートドライバも高速動作を余儀なくされており、特に、表示制御装置からドレインドライバに出力される表示データラッチ用クロック（CL2）および表示データの動作周波数の高速化が要求されている。

【0006】これにより、前記ドレインドライバを構成する半導体集積回路内部で表示データをラッチする際のタイミングマージンが減少するという問題点があった。

【0007】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、映像信号線駆動手段のアンプ回路のオフセット電圧により、液晶表示素子の表示画面中に黒または白の縦筋が生じるのを防止して、液晶表示素子に表示される表示画面の表示品質を向上させることが可能となる技術を提供することにある。

【0008】本発明の他の目的は、液晶表示装置において、映像信号線駆動手段のレベルシフト回路に、ソース・ドレイン間耐圧が低耐圧トランジスタを使用して、映像信号線駆動手段を構成する半導体集積回路のチップサイズを小さくすることが可能となる技術を提供することにある。

【0009】本発明の他の目的は、液晶表示装置において、表示データラッチ用クロックおよび表示データの動作周波数が高速化されても、映像信号線駆動手段を構成する半導体集積回路内部で表示データをラッチする際のタイミングマージンを確保することが可能となる技術を提供することにある。

【0010】本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、入力される入力映像信号を増幅して表示データに対応する映像信号電圧を各映像信号線に出力する複数のアンプ回路を有する液晶表示装置において、前記各アンプ回路は、一対の入力端子の中の一方向を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中他方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、さらに、前記映像信号線駆動手段は、前記アンプ回路の一対の入力端子の一方を反転入力端子、他方を非反転入力端子、あるいは前記アンプ回路の一対の入力端子の一方を非反転入力端子、他方を反転入力端子に切り替えさせる切替制御信号を、前記アンプ回路の切替手段に対して、所定の周期毎に出力する切替指示手段を有することを特徴とする。

【0013】また、前記映像信号線駆動手段の切替指示手段は、前記各アンプ回路の切替手段に対して、 n フレーム毎に前記切替制御信号を出力することを特徴とする。

【0014】また、前記映像信号線駆動手段の切替指示手段は、前記各アンプ回路の切替手段に対して、各フレーム内で n ライン毎、かつ、 n フレーム毎に前記切替制御信号を出力することを特徴とする。

【0015】また、前記映像信号線駆動手段は、その入力段で2画素分の表示データをラッチし、各画素毎に出力するプリラッチ部と、2系統のバスラインとを有することを特徴とする。

【0016】また、前記映像信号線駆動手段は、前記各アンプ回路に入力する入力映像信号を生成する入力映像信号生成手段を有し、前記入力映像信号生成手段は、表示データの電圧レベルを変換するレベルシフト回路群を含み、当該レベルシフト回路群を構成する各レベルシフト回路は、第1の電極と第2の電極との間の耐圧が低耐圧のトランジスタで構成されることを特徴とする。

【0017】

【発明の実施の形態】以下、本発明実施の形態を図面を参照して説明する。

【0018】なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0019】〔実施の形態1〕図1は、本発明の実施の形態1のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。本実施の形態の液晶表示モジ

ール(LCM)は、液晶表示パネル(TFT-LCD)10の上側にドレインドライバ130が配置され、また、液晶表示パネル10の側面に、ゲートドライバ140、インタフェース部100が配置される。インタフェース部100はインタフェース基板に実装され、また、ドレインドライバ130、ゲートドライバ140も、それぞれ専用のTCP(Tape Carrier Package)または直接液晶表示パネルに実装される。

【0020】図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図である。この図2に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。各画素は、隣接する2本の信号線(ドレイン信号線(D)またはゲート信号線(G))と、隣接する2本の信号線(ゲート信号線(G)またはドレイン信号線(D))との交差領域内に配置される。各画素は薄膜トランジスタ(TFT1, TFT2)を有し、各画素の薄膜トランジスタ(TFT1, TFT2)のソース電極は、画素電極(ITO1)に接続される。また、画素電極(ITO1)とコモン電極(ITO2)との間に液晶層が設けられるので、画素電極(ITO1)とコモン電極(ITO2)の間には、液晶容量(CLC)が等価的に接続される。さらに、薄膜トランジスタ(TFT1, TFT2)のソース電極と前段のゲート信号線(G)の間には、付加容量(CADD)が接続される。

【0021】図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。図2に示す例では、全段のゲート信号線(G)とソース電極との間に付加容量(CADD)が形成されているが、図3に示す例の等価回路では、共通信号線(COM)とソース電極との間に保持容量(CSTG)が形成されている点が異なっている。本発明は、どちらにも適用可能であるが、前者の方式では、全段のゲート信号線(G)パルスが付加容量(CADD)を介して画素電極(ITO1)に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。なお、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、図2、図3において、ARは表示領域である。また、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

【0022】図2、図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ(TFT)のドレイン電極は、それぞれドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。

【0023】また、行方向に配置された各画素における薄膜トランジスタ(TFT)のゲート電極は、それぞれゲート信号線(G)に接続され、各ゲート信号線(G)

は、1水平走査時間、行方向の各画素の薄膜トランジスタ (TFT) のゲート電極に走査駆動電圧 (正のバイアス電圧あるいは負のバイアス電圧) を供給するゲートドライバ140に接続される。

【0024】図1に示すインタフェース部100は、表示制御装置110と電源回路120とから構成される。表示制御装置110は、1個の半導体集積回路 (LSI) から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ (R・G・B) を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス (表示データ取込開始信号) を信号線135を介して第1番目のドレインドライバ130に出力し、さらに、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。その際、表示制御装置110は、各ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック (CL2) (以下、単に、クロック (CL2) と称する。) を信号線131を介して出力する。本体コンピュータ側からの表示データは6ビットで、1画素単位、即ち、赤 (R)、緑 (G)、青 (B) の各データを1つの組にして単位時間毎に転送される。また、第1番目のドレインドライバ130に入力されたスタートパルスにより第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。この第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が終了すると、第1番目のドレインドライバ130からスタートパルスが、第2番目のドレインドライバ130に入力され、第2番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。以下、同様にして、各ドレインドライバ130におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

【0025】表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、各ドレインドライバ130におけるデータラッチ回路に蓄えていた表示データを液晶表示パネル10のドレイン信号線 (D) に出力するための表示制御信号である出力タイミング制御用クロック (CL1) (以下、単にクロック (CL1) と称する。) を信号線132を介して各ドレインドライバ130に出力する。

【0026】また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が

入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレーム開始指示信号を出力する。

【0027】さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線 (G) に正のバイアス電圧を印加するように、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるクロック (CL3) を出力する。これにより、液晶表示パネル10の各ゲート信号線 (G) に接続された複数の薄膜トランジスタ (TFT) が、1水平走査時間の間導通する。以上の動作により、液晶表示パネル10に画像が表示される。

【0028】図1に示す電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極 (対向電極) 電圧生成回路123、ゲート電極電圧生成回路124から構成される。正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正極性の5値の階調基準電圧 ($V''_0 \sim V''_4$) を、負電圧生成回路122は負極性の5値の階調基準電圧 ($V''_5 \sim V''_9$) を出力する。この正極性の階調基準電圧 ($V''_0 \sim V''_4$)、および負極性の階調基準電圧 ($V''_5 \sim V''_9$) は、各ドレインドライバ130に供給される。また、各ドレインドライバ130には、表示制御装置110からの交流化信号 (交流化タイミング信号; M) も、信号線134を介して供給される。

【0029】コモン電極電圧生成回路123はコモン電極 (ITO2) に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ (TFT) のゲート電極に印加する駆動電圧 (正のバイアス電圧および負のバイアス電圧) を生成する。

【0030】一般に、液晶層は、長時間同じ電圧 (直流電圧) が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。これを防止するために、このTFT方式の液晶表示モジュールにおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極に印加する電圧を基準にして、画素電極に印加する電圧を、一定時間毎に正電圧側/負電圧側に変化させるようにしている。

【0031】この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通りの方法が知られている。コモン反転法とは、コモン電極に印加される電圧と画素電極に印加する電圧とを、交互に正、負に反転させる方法である。また、コモン対称法とは、コモン電極に印加される電圧を一定とし、画素電極に印加する電圧を、コモン電極に印加される電圧を基準にして、交互に正、負に反転させる方法である。このコモン対称法は、画素電極 (ITO1) に印加される電圧の振幅が、コモン反転法の場合に比べ2倍となり、しきい値

電圧が低い液晶が開発されない限り低耐圧のドライバが使用できないと言う欠点があるが、低消費電力と表示品質の点で優れているドット反転法あるいはNライン反転法が使用可能である。

【0032】本実施の形態の液晶表示モジュールでは、その駆動方法として、前記ドット反転法を使用している。図4は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバ130からドレイン信号線(D)に出力される液晶駆動電圧(即ち、画素電極(ITO1)に印加される液晶駆動電圧)の極性を説明するための図である。

【0033】液晶表示モジュールの駆動方法として、ドット反転法を使用する場合に、図4に示すように、例えば、奇数フレームの奇数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線(D)に、コモン電極(ITO2)に印加される液晶駆動電圧(VCOM)に対して負極性の液晶駆動電圧(図4では⊖で示す)が、また、偶数番目のドレイン信号線(D)に、コモン電極(ITO2)に印加される液晶駆動電圧(VCOM)に対して正極性の液晶駆動電圧(図4では⊕で示す)が印加される。さらに、奇数フレームの偶数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線(D)に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線(D)に負極性の液晶駆動電圧が印加される。また、各ライン毎の極性はフレーム毎に反転され、即ち、図4に示すように、偶数フレームの奇数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線(D)に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線(D)に負極性の液晶駆動電圧が印加される。さらに、偶数フレームの偶数ラインでは、ドレインドライバ130から、奇数番目のドレイン信号線(D)に負極性の液晶駆動電圧が、また、偶数番目のドレイン信号線(D)に正極性の液晶駆動電圧が印加される。このドット反転法を使用することにより、隣り合うドレイン信号線(D)に印加される電圧が逆極性となるため、コモン電極(ITO2)や薄膜トランジスタ(TFT)のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。また、コモン電極(ITO2)に流れる電流が少なく電圧降下が大きくならないため、コモン電極(ITO2)の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

【0034】図5は、図1に示すドレインドライバ130の一例の概略構成を示すブロック図である。なお、ドレインドライバ130は、1個の半導体集積回路(LSI)から構成される。同図において、正極性階調電圧生成回路151aは、正電圧生成回路121から入力される正極性の5値の階調基準電圧(V"0~V"4)に基づいて、正極性の64階調の階調電圧を生成し、電圧バスライン158aを介して出力回路157に出力する。

負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧(V"5~V"9)に基づいて、負極性の64階調の階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力する。

【0035】また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示制御装置110から入力されるクロック(CL2)に基づいて、入力レジスタ回路154のデータ取り込み用信号を生成し、入力レジスタ回路154に出力する。入力レジスタ回路154は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力されるクロック(CL2)に同期して、各色毎6ビットの表示データを出力本数分だけラッチする。

【0036】ストレージレジスタ回路155は、表示制御装置110から入力されるクロック(CL1)に応じて、入力レジスタ回路154内の表示データをラッチする。このストレージレジスタ回路155に取り込まれた表示データは、レベルシフト回路156を介して出力回路157に入力される。出力回路157は、正極性の64階調の階調電圧、あるいは負極性の64階調の階調電圧に基づき、表示データに対応した1つの階調電圧(64階調の中の1つの階調電圧)を選択して、各ドレイン信号線(D)に出力する。

【0037】図6は、出力回路157の構成を中心に、図5に示すドレインドライバ130の構成を説明するためのブロック図である。同図において、153は図5に示す制御回路152内のシフトレジスタ回路、156は図5に示すレベルシフト回路であり、また、データラッチ部265は、図5に示す入力レジスタ回路154とストレージレジスタ回路155とを表し、さらに、デコーダ部(階調電圧選択回路)261、アンプ回路対263、アンプ回路対263の出力を切り替えるスイッチ部(2)264が、図5に示す出力回路157を構成する。ここで、スイッチ部(1)262およびスイッチ部(2)264は、交流化信号(M)に基づいて制御される。また、Y1、Y2、Y3、Y4、Y5、Y6は、それぞれ第1番目、第2番目、第3番目、第4番目、第5番目、第6番目のドレイン信号線(D)を示している。

【0038】図6に示すドレインドライバ130においては、スイッチ部(1)262により、データラッチ部265(より詳しくは、図5に示す入力レジスタ154)に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部265に入力する。

【0039】デコーダ部261は、階調電圧生成回路151aから電圧バスライン158aを介して出力される正極性の64階調の階調電圧の中から、各データラッチ部265(より詳しくは、図5に示すストレージレジスタ155)から出力される表示用データに対応する正極

性の階調電圧を選択する高電圧用デコーダ回路278と、階調電圧生成回路151bから電圧バスライン158bを介して出力される負極性の64階調の階調電圧の中から、各データラッチ部265から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路279とから構成される。この高電圧用デコーダ回路278と低電圧用デコーダ回路279とは、隣接するデータラッチ部265毎に設けられる。

【0040】アンプ回路対263は、高電圧用アンプ回路271と低電圧用アンプ回路272とにより構成される。高電圧用アンプ回路271には高電圧用デコーダ回路278で生成された正極性の階調電圧が入力され、高電圧用アンプ回路271は正極性の階調電圧を出力する。低電圧用アンプ回路272には低電圧用デコーダ回路279で生成された負極性の階調電圧が入力され、低電圧用アンプ回路272は負極性の階調電圧を出力する。

【0041】ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対263の高電圧用アンプ回路271および低電圧用アンプ回路272の並びは、高電圧用アンプ回路271→低電圧用アンプ回路272→高電圧用アンプ回路271→低電圧用アンプ回路272となるので、スイッチ部(1)262により、データラッチ部165に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部265に入力し、それに合わせて、高電圧用アンプ回路271あるいは低電圧用アンプ回路272から出力される出力電圧をスイッチ部(2)264により切り替え、各色毎の階調電圧が出力されるドレイン信号線(D)、例えば、第1番目のドレイン信号線(Y1)と第4番目のドレイン信号線(Y4)とに出力することにより、各ドレイン信号線(D)に正極性あるいは負極性の階調電圧を出力することが可能となる。

【0042】図7は、図6に示すスイッチ部(2)264の一スイッチ回路の回路構成を示す回路図である。同図に示すように、図6に示すスイッチ部(2)264の

一スイッチ回路は、高電圧用アンプ回路271とn番目のドレイン信号(Yn)との間に接続されるPMOSトランジスタ(PM1)と、高電圧用アンプ回路271と(n+3)番目のドレイン信号(Yn+1)との間に接続されるPMOSトランジスタ(PM2)と、低電圧用アンプ回路272と(n+3)番目のドレイン信号(Yn+3)との間に接続されるNMOSトランジスタ(NM1)と、低電圧用アンプ回路272とn番目のドレイン信号(Yn)との間に接続されるNMOSトランジスタ(NM2)とを有する。

【0043】PMOSトランジスタ(PM1)のゲート電極には、インバータ(INV)で反転されたノア回路(NOR1)の出力が、また、PMOSトランジスタ(PM2)のゲート電極には、インバータ(INV)で反転されたノア回路(NOR2)の出力が、それぞれレベルシフト回路(LS)でレベルシフトされて入力される。同様に、NMOSトランジスタ(NM1)のゲート電極には、インバータ(INV)で反転されたナンド回路(NAND2)の出力が、また、NMOSトランジスタ(NM2)のゲート電極には、インバータ(INV)で反転されたナンド回路(NAND1)の出力が、それぞれレベルシフト回路(LS)でレベルシフトされて入力される。ここで、ナンド回路(NAND1)とノア回路(NOR1)には、交流化信号(M)が、ナンド回路(NAND2)およびノア回路(NOR2)には、インバータ(INV)で反転された交流化信号(M)が入力される。また、ナンド回路(NAND1, NAND2)には、出力イネーブル信号(ENB)が、ノア回路(NOR1, NOR2)には、インバータ(INV)で反転された出力イネーブル信号(ENB)が入力される。表1に、ナンド回路(NAND1, NAND2)とノア回路(NOR1, NOR2)の真理値表と、その時の各MOSトランジスタ(PM1, PM2, NM1, NM2)のオン・オフ状態を示す。

【0044】

【表1】

ENB	M	NOR1	PM1	NAND2	NM1	NAND1	PM2	NOR2	NM2
L	*	L	OFF	H	OFF	H	OFF	L	OFF
H	H	L	OFF	H	OFF	L	ON	H	ON
	L	H	ON	L	ON	H	OFF	L	OFF

*は交流化信号(M)に無関係であることを表す。

【0045】表1から分かるように、出力イネーブル信号(ENB)がLowレベル(以下、Lレベル)の時に、ナンド回路(NAND1, NAND2)はHighレベル(以下、Hレベル)、ノア回路(NOR1, NOR2)はLレベルとなり、各MOSトランジスタ(PM

1, PM2, NM1, NM2)はオフ状態となる。走査ラインの切り替わり時には、高電圧用アンプ回路271と低電圧用アンプ回路272とも不安定状態にある。この出力イネーブル信号(ENB)は、走査ラインの切り替わり期間内に、各アンプ回路(271, 272)の

出力が、各ドレイン信号線(D)に出力されるのを防止するために設けられている。なお、本実施の形態では、この出力イネーブル信号(ENB)として、クロック(CL1)の反転信号を使用しているが、クロック(CL2)をカウントする等して内部で生成することも可能である。

【0046】また、表1から分かるように、出力イネーブル信号(ENB)がHレベルの時には、交流化信号(M)のHレベルあるいはLレベルに応じて、各ナンド回路(NAND1, NAND2)がHレベルあるいはLレベル、各ノア回路(NOR1)がHレベルあるいはLレベルとなる。これにより、PMOSトランジスタ(PM1)およびNMOSトランジスタ(NM1)がオフあるいはオン、PMOSトランジスタ(PM2)およびNMOSトランジスタ(NM2)がオンあるいはオフとなり、高電圧用アンプ回路271の出力はドレイン信号線(Y_{n+3})に、低電圧用アンプ回路272の出力はドレイン信号線(Y_n)、あるいは、高電圧用アンプ回路271の出力はドレイン信号線(Y_n)に、低電圧用アンプ回路272の出力はドレイン信号線(Y_{n+3})に出力される。

【0047】ここで、本実施の形態の液晶表示モジュール(LCM)では、各画素の液晶層に印加される階調電圧の電圧範囲は、負極性側で0~5V、正極性側で5~10Vであり、したがって、低電圧用アンプ回路272からは0~5Vの負極性の階調電圧が出力され、高電圧用アンプ回路271からは5~10Vの正極性の階調電圧が出力される。この場合に、例えば、PMOSトランジスタ(PM1)がオフで、NMOSトランジスタ(NM2)がオンの場合に、PMOSトランジスタ(PM1)のソース・ドレイン間には、最大10Vの電圧が印加される。そのため、各MOSトランジスタ(PM1, PM2, NM1, NM2)は、ソース・ドレイン間耐圧が10Vの高耐圧MOSトランジスタが使用される。

【0048】近年、TFT方式の液晶表示モジュール等の液晶表示装置においては、液晶表示パネル10が大型化、高解像度化が進み、液晶表示パネル10の表示画面サイズが大きくなる傾向にあり、さらに、64階調表示から256階調表示へとより多階調表示が進みつつある。これに伴い、ドレインドライバ130は、薄膜トランジスタ(TFT)に対する高速な充電特性が要求され、ドレインドライバ130において、単純に階調電圧を選択し、直接ドレイン信号(D)出力する方法では前記要求を満足することが困難となっている。そのため、ドレインドライバ130の最終段にアンプ回路を設け、当該アンプ回路を介して、階調電圧をドレイン信号線(D)に出力する方法が主流となっている。図6に示す高電圧用アンプ回路271、および低電圧用アンプ回路272は、前記した理由により設けられるものであり、従来、この高電圧用アンプ回路271、および低電圧用

アンプ回路272としては、例えば、図8に示すような、オペアンプ(OP)の反転入力端子(-)と出力端子とが直結され、その非反転入力端子(+)が入力端子とされるボルテージホロウ回路で構成される。また、低電圧用アンプ回路272に使用されるオペアンプ(OP)は、例えば、図9に示すような差動増幅回路で構成され、さらに、高電圧用アンプ回路271に使用されるオペアンプ(OP)は、例えば、図10に示すような差動増幅回路で構成される。

【0049】しかしながら、一般に、前記オペアンプ(OP)はオフセット電圧(V_{off})を有している。前記オペアンプ(OP)の基本増幅回路が、例えば、図9または図10に示す差動増幅回路により構成されるものである場合には、前記オフセット電圧(V_{off})は、図9または図10に示す差動増幅回路における、入力段のPMOSトランジスタ(PM51, 52)またはNMOSトランジスタ(NM61, 62)、あるいは能動負荷回路を構成するNMOSトランジスタ(NM63, 64)またはPMOSトランジスタ(PM53, 54)の対称性の微妙なアンバランスが原因で発生する。前記入力段のPMOSトランジスタ(PM51, 52)またはNMOSトランジスタ(NM61, 62)、あるいは能動負荷回路を構成するNMOSトランジスタ(NM63, 64)またはPMOSトランジスタ(PM53, 54)の対称性の微妙なアンバランスは、製造工程におけるイオン打ち込み/イオン注入工程、またはホトリソグラフィ工程のばらつきにより、MOSトランジスタのしきい値電圧(V_{th})、またはMOSトランジスタのゲート幅/ゲート長(W/L)等が変化してしまうことに起因しているが、工程管理を厳しくしても前記オフセット電圧(V_{off})を零にすることは不可能である。

【0050】そして、図11に示すように、前記オペアンプ(OP)がオフセット電圧(V_{off})を有していない理想的なオペアンプであれば、入力電圧(V_{in})と出力電圧(V_{out})とは等しくなる($V_{in}=V_{out}$)に対して、前記オペアンプ(OP)がオフセット電圧(V_{off})を有している場合には、入力電圧(V_{in})と出力電圧(V_{out})とは等しくならず、出力電圧(V_{out})は入力電圧(V_{in})にオフセット電圧(V_{off})が加算($V_{out}=V_{in}+V_{off}$)されたものとなる。なお、図11は、オフセット電圧(V_{off})を考慮したオペアンプの等価回路を示す図であり、図11において、ROPはオフセット電圧(V_{off})を有していない理想的なオペアンプ、VOSは、その電圧値がオフセット電圧(V_{off})と等しい電圧源である。

【0051】したがって、ドレインドライバの出力回路(図5に示す157)の高電圧用アンプ回路(図6に示す271)、および低電圧用アンプ回路(図6に示す2

72)として、前記図8に示すボルテージホロワ回路を使用する従来の液晶表示モジュールでは、ボルテージホロワ回路の入力電圧と出力電圧とが一致せず、ボルテージホロワ回路からドレイン信号線(D)に出力される液晶駆動電圧は、ボルテージホロワ回路に入力される階調電圧に、オペアンプのオフセット電圧が加算されたものとなる。これにより、従来の液晶表示モジュールでは、液晶表示パネルに表示される表示画面中に、黒または白の縦筋が発生し、表示品質を著しく損なわせるという問題点があった。

【0052】以下、この黒または白の縦筋が発生する理由について詳細に説明する。図12は、オフセット電圧(V_{off})がある場合、およびオフセット電圧(V_{off})がない場合に、ドレイン信号線(D) (または画素電極(ITO1))に印加される液晶駆動電圧を説明するための図である。同図に示すAの領域が、オフセット電圧(V_{off})がない場合に、ドレイン信号線(D)に印加される正極性および負極性の液晶駆動電圧を示し、この場合には、画素の輝度は階調電圧に対応する通常の輝度となる。また、同図に示すBの領域が、マイナス(-)のオフセット電圧(V_{off})がある場合に、ドレイン信号線(D)に印加される正極性および負極性の液晶駆動電圧を示し、この場合には、画素に印加される駆動電圧は、オフセット電圧(V_{off})の分だけ低くなるので、画素の輝度は、液晶表示パネルがノーマリホワイトタイプの液晶表示パネルであれば、階調電圧に対応する通常の輝度より白くなる。さらに、同図に示すCの領域が、プラス(+)のオフセット電圧(V_{off})がある場合に、ドレイン信号線(D)に印加される正極性および負極性の液晶駆動電圧を示し、この場合には、画素に印加される駆動電圧は、オフセット電圧

(V_{off})の分だけ高くなるので、画素の輝度は、液晶表示パネルがノーマリホワイトタイプの液晶表示パネルであれば、階調電圧に対応する通常の輝度より黒くなる。ここで、図6に示すドレインドライバ130において、Y1およびY4のドレイン信号線(D)に接続される高電圧用アンプ回路271がプラス(+)のオフセット電圧(V_{off})、および、Y1およびY4のドレイン信号線(D)に接続される低電圧用アンプ回路272がマイナス(-)のオフセット電圧(V_{off})を持ち、また、Y2およびY5のドレイン信号線(D)に接続される高電圧用アンプ回路271および低電圧用アンプ回路272と、Y3およびY6のドレイン信号線

(D)に接続される高電圧用アンプ回路271および低電圧用アンプ回路272とが、共にオフセット電圧(V_{off})を持たないものであり、さらに、Y1~Y4のドレイン信号線(D)に同一の階調電圧を印加するものとする、その時に、Y1~Y4ドレイン信号線(D)に接続される画素の輝度は、図13(a)に示すようになり、液晶表示パネルがノーマリホワイトタイプの液晶

表示パネルであれば、液晶表示パネルの表示画像中に黒の縦筋が生じる。

【0053】また、容易に理解できるように、前記条件下で、Y1およびY4のドレイン信号線(D)に接続される高電圧用アンプ回路271がマイナス(-)のオフセット電圧(V_{off})、および、Y1およびY4のドレイン信号線(D)に接続される低電圧用アンプ回路272がプラス(+)のオフセット電圧(V_{off})を持つ場合には、液晶表示パネルの表示画像中に白の縦筋が生じることになる。

【0054】この場合に、Y1およびY4のドレイン信号線(D)に接続される高電圧用アンプ回路271および低電圧用アンプ回路272が、同一のプラス(+)、あるいはマイナス(-)のオフセット電圧(V_{off}、V_{off})を持つ場合には、図13(b)に示すように、Y1およびY4のドレイン信号線(D)に接続される画素は、1フレーム目では階調電圧に対応する通常の輝度より黒く、また、2フレーム目では階調電圧に対応する通常の輝度より白くなる。これにより、Y1およびY4のドレイン信号線(D)に接続される画素の輝度は、2フレーム毎に相殺されるので、液晶表示パネルの表示画像中に白または黒の縦筋は目立たなくなる。しかしながら、オペアンプのオフセット電圧(V_{off})は、各オペアンプ毎にランダムに発生するものであり、2つのオペアンプのオフセット電圧(V_{off}、V_{off})が同一になることは極めて稀であり、2つのオペアンプのオフセット電圧(V_{off}、V_{off})が同一になることは通常あり得ない。

【0055】このように、従来の液晶表示モジュールでは、各ドレイン信号線(D)に接続されるアンプ回路のオフセット電圧(V_{off})により、液晶表示パネルの表示画面中に白または黒の縦筋が発生するという問題点があった。また、オフセットキャンセラ回路も知られているが、このオフセットキャンセラ回路はスイッチドキャパシタ回路を用いているため、フィードスルーによる階調電圧の誤差発生、容量部の面積増、容量充電時間による高速化が制限されるなどの問題点があった。

【0056】図14は、本実施の形態のドレインドライバ130における低電圧用アンプ回路272の基本回路構成を示す回路図、図15は、本実施の形態のドレインドライバ130における高電圧用アンプ回路271の基本回路構成を示す回路図である。図14に示す本実施の形態の低電圧用アンプ回路272は、図9に示す差動増幅回路に、入力段のPMOSトランジスタ(PM51)のゲート電極(制御電極)を、(+)入力端子あるいは(-)入力端子に接続するスイッチングトランジスタ(NA1、NB1)と、入力段のPMOSトランジスタ(PM52)のゲート電極を、(+)入力端子あるいは(-)入力端子に接続するスイッチングトランジスタ(NA2、NB2)と、出力段のNMOSトランジスタ

(NM65)のゲート電極を、入力段のPMOSトランジスタ(PM51)のドレイン電極(第2の電極)、あるいは入力段のPMOSトランジスタ(PM52)のドレイン電極に接続するスイッチングトランジスタ(NA3, NB3)と、能動負荷回路を構成するNMOSトランジスタ(NM63, NM64)のゲート電極を、入力段のPMOSトランジスタ(PM51)のドレイン電極、あるいは入力段のPMOSトランジスタ(PM52)のドレイン電極に接続するスイッチングトランジスタ(NA4, NB4)を付加したものである。図15に示す本実施の形態の高電圧用アンプ回路271は、図14に示す低電圧用アンプ回路272と同様、図10に示す差動増幅回路に、スイッチングトランジスタ(PA1~PA4, PB1~PB4)を付加したものである。ここで、スイッチングトランジスタ(NA1~NA4, PA1~PA4)のゲート電極には、制御信号(A)が印加され、また、スイッチングトランジスタ(NB1~NB4, PB1~PB4)のゲート電極には、制御信号(B)が印加される。

$$V_{out} = V_{in} + V_{off} \dots\dots\dots (1)$$

また、図17の回路構成では、下記(2)式に示すように、出力電圧(V_{out})は、入力電圧(V_{in})からオフセット電圧(V_{off})が減算されたものとなる。

$$V_{out} = V_{in} - V_{off} \dots\dots\dots (2)$$

図18は、本実施の形態のドレインドライバ130の出力段の構成を示す図であり、図19は、本実施の形態のドレインドライバ130の動作を説明するためのタイミングチャートである。図19に示す出力電圧は、 V_{offh} のオフセット電圧を持つ高電圧用アンプ回路271と、 V_{offl} のオフセット電圧を持つ低電圧用アンプ回路272とに接続されるドレイン信号線(D)に対して、当該高電圧用アンプ回路271および低電圧用アンプ回路272から出力される出力電圧を示すものであり、この出力電圧において、 V_H は高電圧用アンプ回路271がオフセット電圧を持たない時に、高電圧用アンプ回路271から出力される正規の階調電圧、 V_L は低電圧用アンプ回路272がオフセット電圧を持たない時に、低電圧用アンプ回路272から出力される正規の階調電圧である。

【0060】また、図19のタイムチャートに示すように、図18に示す制御回路152から出力される制御信号(A)および制御信号(B)は、2フレーム毎にその位相が反転される。したがって、図19に示すように、 V_{offh} のオフセット電圧を持つ高電圧用アンプ回路271と、 V_{offl} のオフセット電圧を持つ低電圧用アンプ回路272とに接続されるドレイン信号線(D)には、1フレーム目の1ライン目に、高電圧用アンプ回路271から($V_H + V_{offh}$)の電圧が出力されるが、3フレーム目の1ライン目に、高電圧用アンプ回路271から($V_H - V_{offh}$)の電圧が出力されるので、対

【0057】図14に示す本実施の形態の低電圧用アンプ回路272において、制御信号(A)がHレベル、制御信号(B)がLレベルの場合の回路構成を図16に、また、制御信号(A)がLレベル、制御信号(B)がHレベルの場合の回路構成を図17に示す。なお、図16、図17には、図16、図17に示すアンプ回路を、一般のオペアンプ記号を使用して表現した場合の回路構成も合わせて図示してある。この図16および図17から理解できるように、本実施の形態の低電圧用アンプ回路272では、入力電圧(V_{in})が印加される入力段のMOSトランジスタと、出力電圧(V_{out})が帰還される入力段のMOSトランジスタとを交互に切り替えるようにしたものである。それにより、図16の回路構成では、下記(1)式に示すように、出力電圧(V_{out})は、入力電圧(V_{in})にオフセット電圧(V_{off})が加算されたものとなる。

【0058】

【数1】

【0059】

【数2】

応する画素において、高電圧用アンプ回路271のオフセット電圧(V_{offh})により生じる輝度の上昇および減少は相殺される。また、2フレーム目の1ライン目に、低電圧用アンプ回路272から($V_L + V_{offl}$)の電圧が出力されるが、4フレーム目の1ライン目に、低電圧用アンプ回路272から($V_L - V_{offl}$)の電圧が出力されるので、対応する画素において、低電圧用アンプ回路272のオフセット電圧(V_{offl})により生じる輝度の上昇および減少は相殺される。これにより、図20に示すように、高電圧用アンプ回路271および低電圧用アンプ回路272のオフセット電圧(V_{offh} , V_{offl})により生じる輝度の上昇および減少は、連続する4フレーム毎に相殺されるので、図19に示す出力電圧が印加される画素の輝度は、階調電圧に対応する通常の輝度となる。

【0061】なお、前記図19に示すタイムチャートでは、制御信号(A)および制御信号(B)の位相を、2フレーム毎に反転するようにしたが、制御信号(A)および制御信号(B)の位相を、各フレーム内で2ライン毎、かつ2フレーム毎に反転させるようにしてもよい。この場合の画素の輝度を、図21、図22に示す。図21は、制御信号(A)がHレベルの時に、高電圧用アンプ回路271が(+)のオフセット電圧(V_{offh})を、低電圧用アンプ回路272が(+)のオフセット電圧(V_{offl})を持つ場合であり、また、図22は、制御信号(A)がHレベルの時に、高電圧用アンプ回路2

71が(+)のオフセット電圧(V_{ofh})を、低電圧用アンプ回路272が(-)のオフセット電圧(V_{ofl})を持つ場合である。いずれの場合においても、高電圧用アンプ回路271および低電圧用アンプ回路272のオフセット電圧(V_{ofh} , V_{ofl})により生じる輝度の上昇および減少は、連続する4フレーム毎に相殺されるので、画素の輝度は、階調電圧に対応する通常の輝度となる。しかしながら、制御信号(A)および制御信号(B)の位相を、各フレーム内で2ライン毎に反転させることにより、図21、図22に示すように、列方向の画素の輝度は、2ライン毎に、黒→白(または白→黒)と変化するので、より液晶表示パネル10に表示される表示画面中に縦筋が目立たなくなる。なお、図21または図22では、1フレーム内で2ライン毎に制御信号(A)および制御信号(B)の位相を反転させて列方向の画素の輝度を変化させ、それにより縦筋を目立たなくしているが、2ライン毎でなくてもよいことはいうまでもない。

【0062】以下、本実施の形態において、制御信号(A)、および制御信号(B)を生成する方法を説明する。図23は、本実施の形態のドレインドライバ130内の制御回路152内の要部回路構成を示すブロック図である。同図に示すように、本実施の形態のドレインドライバ130内の制御回路152内には、シフトレジスタ153、制御信号生成回路400、フレーム認識信号生成回路410、シフトクロックイネーブル信号生成回路420、シフト用クロック生成回路430、パルス生成回路440、およびパルス選択回路450が設けられる。

【0063】図24は、図23に示す制御信号生成回路400の回路構成を示す回路図であり、図25は、図24に示す制御信号生成回路400の動作を説明するためのタイムチャートである。制御信号生成回路400にはクロック(CL1)が入力される。このクロック(CL1)は、図25に示すように、D型フリップ・フロップ回路(F1)で2分周されてクロック(HCL1)となり、さらに、このクロック(HCL1)はD型フリップ・フロップ回路(F2)で2分周されて、クロック(CL1)が4分周されたクロック(QCL1)となる。また、この制御信号生成回路には、各フレームを認識するためのフレーム認識信号(FLMN)が入力される。なお、このフレーム認識信号(FLMN)の生成方法については後述する。フレーム認識信号(FLMN)は、インバータ(INV)で反転されて信号(FLMIP)となる。この信号(FLMIP)は、図25に示すように、D型フリップ・フロップ回路(F3)で2分周されて信号(HCL1)となり、さらに、この信号(HCL1)は、D型フリップ・フロップ回路(F4)で2分周されて、フレーム認識信号(FLMN)が4分周された信号(QFLM)となる。そして、クロック(QCL

1)と、信号(QFLM)とは、排他的論理和回路(EXOR1)に入力され、排他的論理和回路(EXOR1)から信号(CHOPA)が出力され、また、この信号(CHOPA)をインバータ(INV)で反転することにより信号(CHOPB)が生成される。この信号(CHOPA, CHOPB)はレベルシフト回路でレベルシフトされて制御信号(A)および制御信号(B)となる。

【0064】これにより、制御信号(A)および制御信号(B)の位相を、各フレーム内で2ライン毎、かつ2フレーム毎に反転させることができる。なお、制御信号(A)および制御信号(B)の位相を、2フレーム毎に反転させる場合には、フレーム認識信号(FLMN)を4分周した信号(QFLM)を、信号(CHOPA)とし、また、この信号(CHOPA)をインバータ(INV)で反転して信号(CHOPB)とすればよい。この場合には、図24に示す制御信号生成回路400において、D型フリップ・フロップ回路(F1, F2)、および排他的論理和回路(EXOR1)は必要としない。また、この制御信号生成回路400では、D型フリップ・フロップ回路(F1, F2)は、フレーム認識信号(FLMN)で初期化される。一方、D型フリップ・フロップ回路(F3, F4)は、PORN信号生成回路401からの信号(PORN)で初期化される。このPORN信号生成回路401は、高電圧の電源電圧(VDD)を分圧する分圧回路402と、この分圧回路402の出力が入力されるインバータ回路群403とで構成される。この電源電圧(VDD)は、図1に示す電源回路120内のDC/DCコンバータ(図示せず)で生成される電圧であり、この電源電圧(VDD)は、液晶表示モジュールに電源が投入された時点からしばらくして立ち上がる。したがって、液晶表示モジュールの電源投入後、このPORN信号生成回路401の信号(PORN)は、しばらくの間Lレベルとなるので、D型フリップ・フロップ回路(F3, F4)は、液晶表示モジュールの電源投入時に確実に初期化されることになる。

【0065】次に、本実施の形態において、フレーム認識信号(FLMN)を生成する方法を説明する。前記フレーム認識信号(FLMN)を生成するには、フレームの切り替わりを認識するための信号が必要である。そして、前記ゲートドライバ140には、表示制御装置110からフレーム開始指示信号が出力されるので、このフレーム開始指示信号をドレインドライバ130にも入力するようにすれば、容易にフレーム認識信号(FLMN)を生成することが可能となる。しかしながら、この方法では、ドレインドライバ130を構成する半導体集積回路(半導体チップ)の入力ピン数を増加させる必要があり、これにより、プリント配線基板の配線パターンを変更する必要がある。そして、プリント配線基板の配線パターンの変更に伴い、液晶表示モジュールが発する

高周波ノイズ特性が変化し、EMI (electromagnetic interference) レベル低下等が懸念される。さらに、半導体集積回路の入力ピン数を増加させることは、入力ピンのコンパチビリティがなくなる。

【0066】そのため、本実施の形態では、表示制御装置110からドレインドライバ130に出力するスタートパルスのパルス幅を、各フレーム毎に、フレーム内で最初のスタートパルス（以下、フレーム用スタートパルスと称する。）と、それ以外のスタートパルス（以下、フレーム内スタートパルスと称する。）とで異ならせ、それにより、各フレームの切り替わりを認識し、フレーム認識信号 (FLMN) を生成するようにしている。

【0067】図26は、図23に示すフレーム認識信号生成回路410の回路構成を示す回路図であり、図27は、図26に示すフレーム認識信号生成回路410の動作を説明するためのタイムチャートである。本実施の形態では、フレーム用スタートパルスは、クロック信号

(CL2)の4周期分のパルス幅、フレーム内スタートパルスは、クロック信号 (CL2) の1周期分のパルス幅を持つものとする。図26において、D型フリップ・フロップ回路 (F11~F13) は、クロック信号入力端子にクロック (CL2) が入力される。したがって、スタートパルスは、クロック (CL2) に同期してD型フリップ・フロップ回路 (F11) にラッチされ、信号 (STEIO) となる。この信号 (STEIO) は、クロック (CL2) に同期してD型フリップ・フロップ回路 (F12) にラッチされ、信号 (Q1) となり、さらに、この信号 (Q1) は、クロック (CL2) に同期してD型フリップ・フロップ回路 (F13) にラッチされ、信号 (Q2) となる。この信号 (Q2) は、D型フリップ・フロップ回路 (F14) のクロック信号入力端子に入力され、また、D型フリップ・フロップ回路 (F14) のデータ入力端子 (D) には、信号 (STEIO) が入力される。したがって、スタートパルスがクロック信号 (CL2) の4周期分のパルス幅を持つフレーム用スタートパルスであれば、このD型フリップ・フロップ回路 (F14) のQ出力はHレベルとなる。ここで、D型フリップ・フロップ回路 (F14) のQ出力が、次ドレインドライバ用のスタートパルス選択信号

(FSTENBP) となるので、スタートパルス選択信号 (FSTENBP) はHレベルとなる。また、D型フリップ・フロップ回路 (F14) のQ出力と、信号 (STEIO) とは、ナンド回路 (NAND11) に入力され、このナンド回路 (NAND11) の出力が、フレーム認識信号 (FLMN) となるので、フレーム認識信号 (FLMN) は、クロック (CL2) の2周期分だけLレベルとなる。一方、スタートパルスがクロック信号 (CL2) の1周期分のパルス幅を持つフレーム内スタートパルスであれば、このD型フリップ・フロップ回路

(F14) のQ出力はLレベルとなる。これにより、スタートパルス選択信号 (FSTENBP) はLレベルとなり、また、フレーム認識信号 (FLMN) は、Hレベルを維持する。

【0068】なお、各D型フリップ・フロップ回路 (F11~F14) は、信号 (RESETN) により初期化される。本実施の形態においては、この信号 (RESETN) として、クロック (CL1) の反転信号を使用している。また、本実施の形態では、フレーム用スタートパルスは、クロック信号 (CL2) の4周期分のパルス幅を持つ場合について説明したが、これに限定されるものではなく、フレーム用スタートパルスが入力された時にのみ、所定期間Lレベルとなるフレーム認識信号 (FLMN) が生成可能であれば、フレーム用スタートパルスのパルス幅は任意に設定可能である。

【0069】本実施の形態において、第1番目のドレインドライバ130には、表示制御装置110からフレーム用スタートパルスおよびフレーム内スタートパルスが入力され、前記した動作が行われる。しかし、第2番目以降のドレインドライバ130には、表示制御装置110からフレーム用スタートパルスおよびフレーム内スタートパルスが入力されないため、第2番目以降のドレインドライバ130においても、前記した動作を行わせるためには、入力されるスタートパルスと同じパルス幅を持つパルスをスタートパルスとして、次ドレインドライバ130へ出力する必要がある。そのため、本実施の形態では、図23に示すパルス生成回路440で、クロック信号 (CL2) の4周期分のパルス幅を持つフレーム用スタートパルスを生成し、入力されるスタートパルスがフレーム用スタートパルスである場合に、当該パルス生成回路440で生成されたフレーム用スタートパルスを次ドレインドライバ130へ送出するようにしている。

【0070】以下、ドレインドライバ130内で、フレーム用スタートパルスおよびフレーム内スタートパルスを生成する方法について説明する。図28は、図23に示す本実施の形態のドレインドライバ130内の制御回路152の動作を説明するためのタイムチャートである。図28に示すように、シフトクロックイネーブル信号生成回路420は、スタートパルスが入力されると、Hレベルのイネーブル信号 (EENB) をシフト用クロック生成回路430に出力する。これにより、シフト用クロック生成回路430は、クロック (CL2) に同期したシフト用クロックを生成し、シフトレジスタ回路153に出力する。シフトレジスタ回路153回路の各フリップ・フロップ回路は、データ取り込み用信号 (SFT1~SFTn+3) を順次出力し、これにより、入力レジスタ154に表示データがラッチされる。また、SFTnのデータ取り込み用信号は、クロック (CL2) の1周期分のパルス幅を持つ、次段のドレインドライバ

130のフレーム内スタートパルスとなる。ここで、 $SFT_1 \sim SFT_n$ のデータ取り込み用信号は、入力レジスタ154に1番目～ n 番目の表示データをラッチするために使用されるが、 $SFT_{n+1} \sim SFT_{n+3}$ のデータ取り込み用信号は、入力レジスタ154に表示データをラッチするためには使用されない。この $SFT_{n+1} \sim SFT_{n+3}$ のデータ取り込み用信号は、次段のドレインドライバ130のフレーム用スタートパルスを生成するために使用される。即ち、図28に示すように、クロック生成回路450で、 $SFT_n \sim SFT_{n+3}$ のデータ取り込み用信号に基づき、クロック(CL2)の4周期分のパルス幅を持つフレーム用スタートパルスを生成する。前記したように、スタートパルスがフレーム内スタートパルスであれば、スタートパルス選択信号

(FSTENBP)はLレベルとなるので、パルス選択回路450は、フレーム内スタートパルス(即ち、 SFT_n のデータ取り込み用信号)を選択して、次ドレインドライバ130に出力する。一方、スタートパルスがフレーム用スタートパルスであれば、スタートパルス選択信号(FSTENBP)はHレベルとなるので、パルス選択回路450は、フレーム用スタートパルスを選択して、次ドレインドライバ130に出力する。

【0071】ここで、クロック生成回路450としては、例えば、図29に示すようなものが使用可能である。この図29に示すクロック生成回路450は、 SFT_n のデータ取り込み用信号に基づき、D型フリップフロップ回路(F21)のQ出力を反転させ、また、インバータ(INV)で反転された SFT_{n+3} のデータ取り込み用信号に基づき、D型フリップフロップ回路(F22)のQ出力を反転させる。さらに、F21とF22とのフリップフロップ回路のQ出力を排他的論理和回路(EXOR2)に入力し、この排他的論理和回路(EXOR2)からクロック(CL2)の4周期分のパルス幅を持つフレーム用スタートパルスを生成するようにしたものである。

【0072】このように、本実施の形態では、各ドレインドライバ130内において、フレーム用スタートパルスと、フレーム内スタートパルスを生成するようにしたので、これにより、ドレインドライバ130を構成する半導体集積回路の入力ピン数を増加させず、入力ピンのコンパチビリティを保ったまま、各ドレインドライバ130において、各フレームの切り替わりを認識することが可能となる。

【0073】図30は、本実施の形態のドレインドライバ130を構成する半導体集積回路内の各部の配置を示す要部レイアウト図である。同図に示すように、本実施の形態のドレインドライバ130を構成する半導体集積回路は、半導体集積回路の長手方向にドレイン信号線(D)と接続される端子部が設けられ、半導体集積回路の短手方向に、データラッチ部265、レベルシフト回

路156、デコーダ部261、およびアンプ回路対263が設けられる。

【0074】このレベルシフト回路156には、従来、図31に示すような回路構成のものが使用されていた。この場合に、レベルシフト回路156では、0V～5Vの入力電圧を、0V～10Vの電圧にレベル変換して出力する必要があり、そのため、図31に示すレベルシフト回路では、ソース・ドレイン間の耐圧が10Vの高耐圧MOSトランジスタ(PSB1, PSB2, NSB1, NSB2)を使用する必要があった。このソース・ドレイン間耐圧が10Vの高耐圧MOSトランジスタは、ソース・ドレイン間耐圧が5Vの低耐圧MOSトランジスタに比して、ゲート長が長くされ、かつ、電流値も大きくする必要があるのでゲート幅も大きくされる。したがって、レベルシフト回路156として、ソース・ドレイン間の耐圧が10Vの高耐圧MOSトランジスタ(PSB1, PSB2, NSB1, NSB2)を使用するレベルシフト回路を使用すると、ドレインドライバ130を構成する半導体集積回路内でレベルシフト回路156部分の面積が大きくなり、それに伴い、ドレインドライバ130を構成する半導体集積回路の短手方向のチップサイズが大きくなり、チップ単価を下げることができず、かつ、狭額縁化に対応できないという問題点があった。

【0075】図32は、本実施の形態のレベルシフト回路156に使用されるレベルシフト回路の構成を示す回路図である。図32に示すレベルシフト回路は、PMOSトランジスタ(PA1)とNMOSトランジスタ(NSA1)との間に、電圧降下用のPMOSトランジスタ(PA3)とNMOSトランジスタ(NSA3)との直列回路が、また、PMOSトランジスタ(PA2)とNMOSトランジスタ(NSA2)との間に、電圧降下用のPMOSトランジスタ(PA4)とNMOSトランジスタ(NSA4)との直列回路が挿入されている点で、前記図31に示すレベルシフト回路と相違する。ここで、PMOSトランジスタ(PA3, PA4)、およびNMOSトランジスタ(NSA3, NSA4)のゲート電極には、VDDの電源電位と基準電位(GND)との間の中間の電位のバイアス電位(Vbis)が印加される。

【0076】図33は、図32に示すレベルシフト回路の各部の電圧波形を示す図であり、図33は、電源電位(VDD)が8V、バイアス電位(Vbis)が4V、入力電圧が0V～4Vの場合の各部の波形を示す図である。以下、図33を用いて、図32に示すレベルシフト回路の動作を説明する。今、入力電圧が4VのHレベルの場合、NMOSトランジスタ(NSA1)のゲート電極には4Vが印加され、また、NMOSトランジスタ(NSA2)のゲート電極には、0V(インバータで反転された入力電圧)が印加されるので、NMOSトラン

ジスタ (NSA1) はオン、NMOSトランジスタ (NSA2) はオフとなる。したがって、図32に示す

(a) 点の電位は0Vとなり、また、NMOSトランジスタ (NSA3) のゲート電極には4Vのバイアス電位 (Vb i s) が印加されているので、NMOSトランジスタ (NSA3) はオンとなり、図32に示す (c) 点の電位も0Vとなる。

【0077】また、図32に示す (c) 点の電位が0Vとなると、PMOSTランジスタ (PSA3) のゲート電極にも4Vのバイアス電位 (Vb i s) が印加されているので、PMOSTランジスタ (PSA3) のソース電極のソース電位が降下する。このPMOSTランジスタ (PSA3) のソース電位は、PMOSTランジスタ (PSA2) のゲート電極に印加されるので、それによ

$$VPGS + VPth = 0$$

$$VPG - VPS + VPth = 0$$

$$VPS = VPG + VPth \quad \dots \dots \dots (3)$$

但し、VPGSはPMOSTランジスタ (PSA3) のゲート・ソース間電圧、VPGはPMOSTランジスタ (PSA3) のゲート電位、VPthはしきい値電圧である。したがって、図32に示す (b) 点の電位、即ち、PMOSTランジスタ (PSA3) のソース電位 (VPS) は、そのゲート電位 (VPG) にしきい値電圧 (VPth) を加算した電圧となり、PMOSTランジスタ (PSA3) のソース電位 (VPS) は、そのゲート電位 (VPG) (=4V) に約等しくなる。このPMOSTランジスタ (PSA3) のソース電位 (VPS) は、PMOSTランジスタ (PSA1) のドレイン電極のドレイン電圧 (VPD) に等しいので、PMOSTランジスタ (PSA1) およびPMOSTランジスタ (PSA3) として、ソース・ドレイン間耐圧が5Vの低耐圧PMOSTランジスタを使用することが可能となる。

$$VNGS - VNth = 0$$

$$VNG - VNS - VNth = 0$$

$$VNS = VNG - VNth \quad \dots \dots \dots (4)$$

但し、VNGSはNMOSTランジスタ (NSA4) のゲート・ソース間電圧、VNGはNMOSTランジスタ (NSA4) のゲート電位、VNthはしきい値電圧である。したがって、図32に示す (a') 点の電位、即ち、NMOSTランジスタ (NSA4) のソース電位 (VNS) は、そのゲート電位 (VNG) からしきい値電圧 (VNth) を引いた電圧となり、NMOSTランジスタ (NSA4) のソース電位 (VNS) は、そのゲート電位 (VNG) (=4V) に約等しくなる。このNMOSTランジスタ (NSA4) のソース電位 (VNS) は、NMOSTランジスタ (NSA2) のドレイン電極のドレイン電圧 (VND) に等しいので、NMOSTランジスタ (NSA2) およびNMOSTランジスタ (NSA4) として、ソース・ドレイン間耐圧が5Vの低耐圧NMOSTランジスタを使用することが可能となる。

【0081】また、図32に示す (a) 点が0Vと、

り、PMOSTランジスタ (PSA2) がオンとなり、図32に示す (b') 点の電位は8Vとなる。図32に示す (b') 点の電位が8Vとなると、この (b') 点の電位がゲート電極に印加されるPMOSTランジスタ (PSA1) がオフとなる。そして、PMOSTランジスタ (PSA1) がオフとなると、PMOSTランジスタ (PSA1, PSA3) とNMOSTランジスタ (NSA1, NSA3) とからなるトランジスタの直列回路には電流が流れないので、PMOSTランジスタ (PSA3) のソース電極のソース電位 (VPS) は、下記 (3) 式のように表される。

【0078】

【数3】

タを使用することが可能となる。

【0079】また、PMOSTランジスタ (PSA2) がオンすることにより、PMOSTランジスタ (PSA4) がオンし、図32に示す (c') 点の電位は8Vとなる。さらに、NMOSTランジスタ (NSA2) がオフであり、PMOSTランジスタ (PSA2, PSA4) とNMOSTランジスタ (NSA2, NSA4) とからなるトランジスタの直列回路には電流が流れないので、NMOSTランジスタ (NSA4) のソース電極のソース電位 (VNS) は、下記 (4) 式のように表される。

【0080】

【数4】

(b) 点が4Vの時、インバータ回路 (INVP) のPMOSTランジスタ (PBP1) がオン、NMOSTランジスタ (NBP1) がオフとなる。また、インバータ回路 (INVP) のPMOSTランジスタ (PBP1) とNMOSTランジスタ (NBP1) との間には、PMOSTランジスタ (PBP2) とNMOSTランジスタ (NBP2) との直列回路が挿入され、このMOSTランジスタ (PBP2, NBP2) のゲート電極には、4Vのバイアス電位 (Vb i s) が印加されているので、出力 (Q) は8Vとなる。この場合に、前記した如く、NMOSTランジスタ (NBP2) のソース電位は、そのゲート電位に略等しくなるので、NMOSTランジスタ (NBP1) およびNMOSTランジスタ (NBP2) として、ソース・ドレイン間耐圧が5Vの低耐圧NMOSTランジスタを使用することが可能となる。同様に、インバータ回路 (INVP) のPMOSTランジスタ

タ (PBP1) がオフ、NMOSトランジスタ (NBP1) がオンの場合には、PMOSTランジスタ (PBP2) のソース電位は、そのゲート電位に略等しくなるので、PMOSTランジスタ (PBP1) およびNMOSTランジスタ (PBP2) として、ソース・ドレイン間耐圧が5Vの低耐圧PMOSTランジスタを使用することが可能となる。これにより、本実施の形態では、ドレインドライバ130を構成する半導体集積回路内において、レベルシフト回路156が占める領域を小さくすることが可能となり、半導体集積回路の短手方向の長さを小さくすることが可能となる。

【0082】図34は、本実施の形態のドレインドライバ130を構成する半導体集積回路内において、レベルシフト回路156部が占める領域を説明するための模式図である。同図において、D(0)~D(5)は、表示データの各ビット値をラッチするデータラッチ部265内のラッチ回路、LS(0)~LS(5)は、ラッチ回路(D(0)~D(5))毎に設けられるレベルシフト回路156内のレベルシフト回路である。図34に示すように、従来のレベルシフト回路を採用すると、ソース・ドレイン間耐圧が8Vの高耐圧MOSTランジスタを使用する必要があり、レベルシフト回路の面積が大きくなり、データラッチ部265内の2つのラッチ回路毎に、2個のレベルシフト回路を重ねて配置する必要があった。しかしながら、本実施の形態のレベルシフト回路では、ソース・ドレイン間耐圧が5Vの低耐圧MOSTランジスタが使用できるため、レベルシフト回路の面積が小さくでき、これにより、本実施の形態では、半導体集積回路内で従来の1個のレベルシフト回路が占める面積に、2個のレベルシフト回路を配置することが可能となる。

【0083】このため、図34に示すように、本実施の形態では、データラッチ部265内の各ラッチ回路毎に、1個のレベルシフト回路を配置することが可能となる。したがって、本実施の形態では、従来例と比して、図34に示す(L1)の長さだけ、ドレインドライバ130を構成する半導体集積回路の短手方向の長さを短くすることが可能となり、狭額縁化に対応することが可能となる。

【0084】図35は、図32に示すPMOSTランジスタ(PSA1, PSA3)およびNMOSTランジスタ(NSA1, NSA3)の断面構造を示す要部断面図である。同図に示すように、p型半導体基板20にnウェル領域21が形成され、このnウェル領域21内に形成された各p型半導体領域(25a, 25b, 25c)、およびゲート電極(27a, 27b)により、PMOSTランジスタ(PSA1, PSA3)が構成される。この場合に、p型半導体領域(25b)は、PMOSTランジスタ(PSA1)のドレイン領域と、PMOSTランジスタ(PSA3)のソース領域とを兼用して

いる。また、p型半導体基板20にpウェル領域22が形成され、このpウェル領域22内に形成された各n型半導体領域(24a, 24b, 24c)、およびゲート電極(26a, 26b)により、NMOSTランジスタ(NSA1, NSA3)が構成される。この場合に、n型半導体領域(24b)は、NMOSTランジスタ(NSA1)のドレイン領域と、NMOSTランジスタ(NSA3)のソース領域とを兼用している。ここで、p型半導体基板20には0Vの電圧が、また、pウェル領域22には0Vの電圧が、さらに、nウェル領域21には8Vの電圧が印加される。

【0085】したがって、n型半導体領域(24c)とpウェル領域22との間、およびp型半導体領域(25c)とnウェル領域21との間には、最大8Vの逆電圧が印加されるので、この部分の耐圧が十分でない場合には、例えば、2重ドレイン構造(DDD)等により、この部分の耐圧を向上させる必要がある。

【0086】[実施の形態2] 本発明の実施の形態2の液晶表示モジュールは、ドレインドライバ130内の高電圧用デコーダ回路278または低電圧用デコーダ回路279を構成するトランジスタの数を少なくするようにした点で、前記実施の形態1の液晶表示モジュールと相違する。以下、本実施の形態のドレインドライバ130について、前記実施の形態1との相違点を中心に説明する。

【0087】図36は、前記実施の形態1のドレインドライバ130内の高電圧用デコーダ回路278および低電圧用デコーダ回路279の回路構成を示す回路図である。なお、図36には、正極性階調電圧生成回路151a、および負極性階調電圧生成回路151bの概略回路構成も合わせて図示している。高電圧用デコーダ回路278は、出力端子に直列接続された6個の高耐圧PMOSTランジスタと6個の高耐圧デプレッションPMOSTランジスタとで構成される64個のトランジスタ列(TRP2)を有し、前記各トランジスタ列(TRP2)の出力端子と反対の端子には、階調電圧生成回路151aから電圧バスライン158aを介して出力される正極性の64階調分の階調電圧が入力される。また、前記各トランジスタ列(TRP2)を構成する6個の高耐圧PMOSTランジスタと6個の高耐圧デプレッションPMOSTランジスタのそれぞれのゲート電極には、レベルシフト回路156から出力される6ビットの表示用データの各ビット値(T)あるいはその反転ビット値(B)が所定の組み合わせに基づいて選択的に印加される。

【0088】低電圧用デコーダ回路279は、出力端子に直列接続された6個の高耐圧NMOSTランジスタと6個の高耐圧デプレッションNMOSTランジスタとで構成される64個のトランジスタ列(TRP3)を有し、前記各トランジスタ列(TRP3)の出力端子と反

対の端子には、階調電圧生成回路151bから電圧バスライン158bを介して出力される負極性の64階調分の階調電圧が入力される。また、前記各トランジスタ列(TRP3)を構成する6個の高耐圧NMOSトランジスタと6個の高耐圧デプレッションNMOSトランジスタのそれぞれのゲート電極には、レベルシフト回路156から出力される6ビットの表示用データの各ビット値(T)あるいはその反転ビット値(B)が所定の組み合わせに基づいて選択的に印加される。

【0089】このように、前記実施の形態1の高電圧用デコーダ回路278と低電圧用デコーダ回路279は、64階調毎に、12個のMOSトランジスタが縦続接続される構成となっている。したがって、各ドレイン信号線(D)当たりのMOSトランジスタの総数は768個(64×12)となる。

【0090】近年、液晶表示装置においては、64階調表示から256階調表示へとより多階調表示が進みつつある。しかしながら、従来の高電圧用デコーダ回路278と低電圧用デコーダ回路279とを使用して、256階調表示を行う場合には、各ドレイン信号線(D)当たりのMOSトランジスタの総数は4096個(256×16)となる。このため、デコーダ部261の占める面積が増加し、前記ドレインドライバ130を構成する半導体集積回路(ICチップ)のチップサイズが大きくなるという問題点があった。

【0091】図37は、本実施の形態2のドレインドライバ130内の高電圧用デコーダ回路278と、正極性階調電圧生成回路151aとの回路構成を示す回路図である。同図に示すように、正極性階調電圧生成回路151aは、前記実施の形態1のように、64階調の階調電圧を生成せず、正電圧生成回路121から入力される正極性の5値の階調基準電圧($V''_0 \sim V''_4$)に基づいて、正極性の17階調の第1階調電圧を生成する。この場合に、正極性階調電圧生成回路151aを構成する抵抗分圧回路の各分圧抵抗は、液晶層に印加する電圧と透過率との関係に合わせて所定の重み付けが成されている。高電圧用デコーダ回路278は、17階調の第1階調電圧の互いに隣接する第1階調電圧(V_{OUTA} , V_{OUTB})を選択するデコーダ回路301と、当該デコーダ回路301で選択された第1階調電圧(V_{OUTA})を端子(P1)あるいは端子(P2)に、また、当該デコーダ回路301で選択された第1階調電圧(V_{OUTB})を端子(P2)あるいは端子(P1)に出力するマルチプレクサ302と、当該マルチプレクサ302から出力される互いに隣接する第1階調電圧(V_{OUTA} , V_{OUTB})間の電位差(ΔV)を分圧して、 V_a , $V_a + 1/4 \Delta V$, $V_a + 2/4 (= 1/2) \Delta V$, $V_a + 3/4 \Delta V$ の電圧を生成する第2階調電圧生成回路303とを有する。

【0092】デコーダ回路301は、奇数番目の第1階

調電圧の中から、6ビットの表示データの上位4ビット(D2~D5)に対応する第1階調電圧を選択する第1デコーダ回路311と、偶数番目の第1階調電圧の中から、6ビットの表示データの上位3ビット(D3~D5)に対応する第1階調電圧を選択する第2デコーダ回路312とで構成される。第1デコーダ回路311は、6ビットの表示データの上位4ビット(D2~D5)により、第1番目の第1階調電圧(V_1)と第17番目の第1階調電圧(V_{17})とを1回、第3番目の第1階調電圧(V_3)ないし第15番目の第1階調電圧(V_{15})を、それぞれ連続して2回選択するように構成される。しかしながら、第2デコーダ回路312は、6ビットの表示データの上位3ビット(D3~D5)により、第2番目の第1階調電圧(V_2)ないし第16番目の第1階調電圧(V_{16})を、1回選択するように構成される。なお、図37において、○はデータビットがLレベルでオンとなるスイッチ素子(例えば、PMOSトランジスタ)であり、●はデータビットがHレベルでオンとなるスイッチ素子(例えば、NMOSトランジスタ)である。

【0093】ここで、 $V''_0 < V''_1 < V''_2 < V''_3 < V''_4$ であるので、表示データの3ビット(D2)のビット値がLレベルの場合、階調電圧 V_{OUTA} として、 V_{OUTB} の階調電圧よりも低電位の階調電圧が出力され、また、表示データの3ビット(D2)のビット値がHレベルの場合、階調電圧 V_{OUTA} として、 V_{OUTB} の階調電圧よりも高電位の階調電圧が出力される。したがって、この表示データの3ビット(D2)目のビット値のHレベルおよびLレベルに応じてマルチプレクサ302を切り換え、表示データの3ビット(D2)目のビット値がLレベルの時に端子(P1)に V_{OUTA} の階調電圧を、端子(P2)に V_{OUTB} の階調電圧を出力し、また、表示データの3ビット(D2)目のビット値がHレベルの時に端子(P1)に V_{OUTB} の階調電圧を、端子(P2)に V_{OUTA} の階調電圧を出力する。これにより、端子(P1)の階調電圧を(V_a)、端子(P2)の階調電圧を(V_b)とすると、常に、 $V_a < V_b$ とすることができ、第2階調電圧生成回路303の設計が簡単となる。

【0094】第2階調電圧生成回路303は、端子(P1)と高電圧用アンプ回路271の入力端との間に接続されるスイッチ素子(S1)と、一端が高電圧用アンプ回路271の入力端に接続され、他端が、スイッチ素子(S2)を介して端子(P1)に、また、スイッチ素子(S5)を介して端子(P2)に接続されるコンデンサ(C1)と、一端が高電圧用アンプ回路271の入力端に接続され、他端が、スイッチ素子(S3)を介して端子(P1)に、また、スイッチ素子(S4)を介して端子(P2)に接続されるコンデンサ(C2)と、端子(P2)と高電圧用アンプ回路271の入力端との間に

接続されるコンデンサ (C3) とで構成される。ここで、コンデンサ (C1) とコンデンサ (C3) との容量値は同一に、コンデンサ (C2) の容量値は、コンデンサ (C1) およびコンデンサ (C3) の容量値の2倍の容量値とされる。また、各スイッチ素子 (S1~S5) は、図38に示すように、表示データの低位2ビット (D0, D1) のビット値に応じてオン・オフされる。なお、図38には、表示データの低位2ビット (D0, D1) のビット値に応じて、第2階調電圧生成回路303から出力される階調電圧の値と、表示データの低位2ビット (D0, D1) のビット値に応じた、第2階調電圧生成回路303の回路構成とを合わせて図示している。

【0095】なお、低電圧用デコーダ回路279も、前記高電圧用デコーダ回路278と同様に構成でき、この場合に、低電圧用デコーダ回路279は、負極性階調電圧生成回路151bから生成される負極性の17階調の第1階調電圧を選択する。また、負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧 ($V''_5 \sim V''_9$) に基づいて、負極性の17階調の第1階調電圧を生成し、さらに、負極性階調電圧生成回路151bを構成する抵抗分圧回路の各分圧抵抗は、液晶層に印加する電圧と透過率との関係に合わせて所定の重み付けが成される。この低電圧用デコーダ回路279では、 $V''_5 > V''_6 > V''_7 > V''_8 > V''_9$ となるので、端子 (P1) の階調電圧を (V_a)、端子 (P2) の階調電圧を (V_b) とするとき、常に、 $V_a > V_b$ となる。

【0096】図39は、図37に示す高電圧用デコーダ回路278、および図37に示す高電圧用デコーダ回路278と同様の回路構成の低電圧用デコーダ回路279を使用した場合の、本実施の形態2の液晶表示モジュールのドレインドライバ130内の出力段の概略構成を示す図である。同図において、高電圧用アンプ回路271には前記図15に示す回路構成のアンプ回路が、また、低電圧用アンプ回路272には前記図14に示す回路構成のアンプ回路が使用される。このように、本実施の形態では、デコーダ回路を構成するスイッチング素子は、第1デコーダ回路311で64 ($= (9+7) \times 4$)、第2デコーダ回路312で24 ($= 3 \times 8$) であるので、各ドレイン信号線 (D) 当たりのデコーダ回路を構成するスイッチング素子 (MOSトランジスタ) の総数は88となり、前記実施の形態1の各ドレイン信号線

(D) 当たりのMOSトランジスタの総数768個に比べて大幅に少なくすることが可能となる。また、スイッチング素子を減少させることにより、ドレインドライバ130の内部電流を低減させることができるので、液晶表示モジュール (LCM) 全体の消費電力を低減することができ、それにより、液晶表示モジュール (LCM) の信頼性を向上させることが可能となる。

【0097】図40は、本実施の形態のドレインドライバ130内の高電圧用デコーダ回路278の他の例の回路構成を示す回路図であり、同図において、○はPMOSトランジスタを、●はNMOSトランジスタを示している。

【0098】なお、図40では、256階調の階調電圧を生成する場合の回路構成の一例を示し、そのため、(D0~D7) の8ビットの表示データの各ビット値およびその反転値が、所定の組み合わせ組み合わせの基に各PMOSトランジスタのゲート電極に印加されるようになっている。

【0099】前記図37に示す高電圧用デコーダ回路278において、各デコード行毎に同じ電圧がゲート電極に印加されるMOSトランジスタは、表示データの上位ビット程連続している。したがって、この各桁毎に同じ電圧がゲート電極に印加され、且つ各デコード行毎に連続するMOSトランジスタを1個のMOSトランジスタに置換しても、機能的には何ら問題はない。

【0100】図40に示す高電圧用デコーダ回路278は、この各桁毎に同じ電圧がゲート電極に印加され、且つ各デコード行毎に連続するMOSトランジスタを1個のMOSトランジスタに置換したのである。さらに、図40に示す高電圧用デコーダ回路278では、最小サイズのMOSトランジスタのゲート電極のゲート幅をWとする時、その最小サイズのMOSトランジスタの上位桁のMOSトランジスタのゲート電極のゲート幅を2W、さらに、その上位桁のMOSトランジスタのゲート電極のゲート幅を4Wと、表示データの上位ビットがゲート電極に印加されるMOSトランジスタ (上位ビット側のMOSトランジスタ) のゲート電極のゲート幅 (W) を最小サイズのMOSトランジスタのゲート電極のゲート幅の2の ($m-j$) 乗倍としている。ここで、mは表示データのビット数、jは最小サイズのMOSトランジスタで構成されるビットの中で最上位ビットのビット番号である。

【0101】図40に示す高電圧用デコーダ回路278において、最小サイズのMOSトランジスタの抵抗をRとすると、各デコード行のMOSトランジスタの合成抵抗は、デコーダ回路311で約2R ($\approx R + R/2 + R/4 + R/8 + R/16$)、デコーダ回路312で約2R ($\approx R + R/2 + R/4 + R/8$) となる。なお、図40に、最小サイズのMOSトランジスタの抵抗をRとした時の、各桁のMOSトランジスタの抵抗を合わせて図示している。したがって、図40に示す高電圧用デコーダ回路278では、各デコード行のMOSトランジスタの合成抵抗を低減することができ、第2階調電圧生成回路303を構成する各コンデンサに電荷を再配分する際に大電流の充放電を流すことができるので、デコーダ回路を高速化することができるとともに、デコーダ回路311とデコーダ回路312との合成抵抗値を同等に

できるため、生成される2階調の速度差を低減することができる。

【0102】また、一般に、MOSトランジスタでは、基板・ソース間電圧 (V_{BS}) により、しきい値電圧 (V_{th}) が正の方向に変化し、それにより、ドレイン電流 (I_{DS}) が減少する。即ち、MOSトランジスタの抵抗が増大する。

【0103】そのため、図40に示す高電圧用デコーダ回路278では、基板・ソース間電圧 (V_{BS}) が同等となる階調電圧 (図40では、 V_{16} (または V_{18})、 V_{15} (または V_{17}) の階調電圧) を境にして、PMOSトランジスタ領域と、NMOSトランジスタ領域とに分離するようにしている。これにより、図40に示す高電圧用デコーダ回路278では、デコーダ回路を構成するMOSトランジスタにおける、基板バイアス効果による抵抗の増加を抑制することができる。

【0104】図41は、本実施の形態のドレインドライバ130内の低電圧用デコーダ回路279の他の例の回路構成を示す回路図である。図41に示す低電圧用デコーダ回路279は、図40に示す高電圧用デコーダ回路278と同様な回路構成としたものである。しかしながら、低電圧用デコーダ回路279では、基板・ソース間電圧 (V_{BS}) が同等となる階調電圧 (図40では、 V_{16} (または V_{18})、 V_{15} (または V_{17}) の階調電圧) を境にして、PMOSトランジスタ領域と、NMOSトランジスタ領域とを分離する際に、PMOSトランジスタ領域と、NMOSトランジスタ領域とが、高電圧

用デコーダ回路278と反対になっている。但し、各電圧は、 $V_1 > V_2 > V_3 \cdots > V_{32} > V_{33}$ とする。

【0105】なお、前記各実施の形態において、デコード回路301を構成する各MOSトランジスタは、高耐圧MOSトランジスタで構成されるか、あるいは、ゲート電極電極部のみ高耐圧構造としたMOSトランジスタで構成される。さらに、デコード回路301の低ビット側のMOSトランジスタは、ドレイン・ソース間耐圧が低いMOSトランジスタを使用することができ、この場合には、デコード回路301部分のサイズをより小さくすることが可能となる。

【0106】図42は、図40に示す高電圧用デコーダ回路278において使用される第2階調電圧生成回路303の回路構成の一例を示す回路図である。図42に示す第2階調電圧生成回路303において、コンデンサ (C_{01}) とコンデンサ (C_{02}) との容量値は同一、コンデンサ (C_{03}) の容量値は、コンデンサ (C_{01}) の容量値の2倍の容量値、コンデンサ (C_{04}) の容量値は、コンデンサ (C_{01}) の容量値の4倍の容量値とされる。また、各スイッチ制御回路 ($SG_1 \sim SG_3$) は、ナンド回路 (NAND)、アンド回路 (AND)、およびノア回路 (NOR) を備える。表2に、このナンド回路 (NAND)、アンド回路 (AND)、およびノア回路 (NOR) の真理値表を示す。

【0107】

【表2】

／CR	／TCK	／D	NAND	AND	NOR	S n 1	S n 2
L	H	*	H	L	L	OFF	ON
H	H	*	H	L	H	OFF	OFF
	L	H	L	L	H	ON	OFF
		L	H	H	L	OFF	ON

*は、表示データに無関係であることを表す。

【0108】リセットパルス (／CR) がLレベルであると、スイッチ素子 (SS_1) はオン、また、ノア回路 (NOR) の出力はLレベルとなり、各スイッチ素子 (S_{02} , S_{12} , S_{22}) はオンとなる。

【0109】この場合に、タイミングパルス (／TCK) はHレベルであり、ナンド回路 (NAND) の出力はHレベルとなり、各スイッチ素子 (S_{01} , S_{11} , S_{21}) はオフとなる。これにより、各コンデンサ ($C_{01} \sim C_{04}$) の両端は端子 (P2) に接続されるので、各コンデンサ ($C_{01} \sim C_{04}$) は充放電されて、その電位差が0ボルトの状態にされる。

【0110】次に、リセットパルス (／CR) がHレベ

ルで、タイミングパルス (／TCK) がLレベルになると、表示データの低位3ビット ($D_0 \sim D_2$) のそれぞれのビット値に応じて、各スイッチ素子 (S_{01} , S_{02} , S_{11} , S_{12} , S_{21} , S_{22}) は、オンあるいはオフとされる。

【0111】これにより、端子 (P1) の階調電圧を (V_a)、端子 (P2) の階調電圧を (V_b) とすると、この第2階調電圧生成回路302から、 $V_a + 1/8 \Delta$, $V_a + 2/8 \Delta$, $\cdots V_b$ ($V_a + 8/8 \Delta$) の階調電圧が出力される。

【0112】また、第2階調電圧生成回路303は、コンデンサに代えて抵抗を使用することも可能であるが、

この場合には、高抵抗値の抵抗を使用し、さらに、各抵抗の抵抗値の大小関係は、コンデンサと逆にする必要がある。

【0113】例えば、図37に示す第2階調電圧生成回路303において、コンデンサに代えて抵抗を使用する場合、コンデンサ(C1)およびコンデンサ(C3)と置換される抵抗の抵抗値は、コンデンサ(C2)と置換される抵抗の抵抗値の2倍の抵抗値とする必要がある。

【0114】〔実施の形態3〕本発明の実施の形態3の液晶表示モジュールは、ドレインドライバ130内の高電圧用アンプ回路271および低電圧用アンプ回路272として反転増幅回路を用いる点で、前記実施の形態2の液晶表示モジュールと相違する。以下、本実施の形態のドレインドライバ130について、前記実施の形態2との相違点を中心に説明する。図43は、図37に示す高電圧用デコーダ回路278、および図37に示す高電圧用デコーダ回路278と同様の回路構成の低電圧用デコーダ回路279を使用した場合の、本実施の形態3の液晶表示モジュールのドレインドライバ130内の出力段の概略構成を示す図である。同図において、高電圧用アンプ回路271には前記図15に示す差動増幅回路が、また、低電圧用アンプ回路272には前記図14に示す差動増幅回路が使用される。図44は、図43に示す高電圧用アンプ回路271、または低電圧用アンプ回路272の一つと、その入力段に接続されるスイッチドキャパシタ回路313とを示す図である。図44に示すように、オペアンプ(OP2)の反転入力端子(-)と出力端子との間にはスイッチ回路(SWA01)とコンデンサ(CA1)の並列回路が接続され、また、オペアンプ(OP2)の反転入力端子(-)には、各コンデンサ(CA2~CA4)の一方の端子が接続される。この各コンデンサ(CA2~CA4)の他方の端子には、各スイッチ回路(SWA11~SWA31)を介して、互いに隣接する第1階調電圧の一つ、即ち、図37に示す端子(P1)に出力される第1階調電圧(Va)が、また、各スイッチ回路(SWA12~SWA32)を介して、互いに隣接する第1階調電圧の一つ、即ち、図37に示す端子(P2)に出力される第1階調電圧(Vb)が印加される。さらに、オペアンプ(OP2)の非反転入力端子(+)には、互いに隣接する第1階調電圧の一つ(図37に示す端子(P2)に出力される第1階調電圧(Vb))が印加される。ここで、コンデンサ(CA2)とコンデンサ(CA4)との容量値は同一に、コンデンサ(CA3)の容量値は、コンデンサ(CA2)の容量値の2倍の容量値、コンデンサ(CA1)の容量値は、コンデンサ(CA2)の容量値の4倍の容量値とされる。

【0115】この反転増幅回路では、リセット動作時に、スイッチ回路(SWA01)およびスイッチ回路(SWA11~SWA31)がオン、スイッチ回路(S

WA12~SWA32)がオフとなる。この状態では、コンデンサ(CA1)がリセットされ、また、オペアンプ(OP2)はボルテージホロワ回路を構成し、オペアンプ(OP2)の出力端子および反転入力端子(-)の電位は第1階調電圧(Vb)となるので、各コンデンサ(CA2~CA4)は、 $(Vb - Va = \Delta V)$ の電圧に充電される。また、通常の状態では、スイッチ回路(SWA01)がオフとなり、また、スイッチ回路(SWA11~SWA31)およびスイッチ回路(SWA12~SWA32)は、所定の組み合わせにしたがってオンあるいはオフとなる。これにより、Vaの第1階調電圧が第1階調電圧(Vb)を基準にして反転増幅され、オペアンプ(OP2)の出力端子から、 $Vb + Va$ 、 $Vb + Va + 1/4 \Delta V$ 、 $Vb + Va + 1/2 \Delta V$ 、 $Vb + Va + 3/4 \Delta V$ の電圧が出力される。

【0116】〔実施の形態4〕本発明の実施の形態4の液晶表示モジュールは、電源回路120より負極性の階調基準電圧(V"5~V"9)をドレインドライバ130に出力し、また、ドレインドライバ130において、この負極性の階調基準電圧(V"5~V"9)から負極性の32階調の階調電圧を生成し、さらに、高電圧用アンプ回路271として反転増幅回路を用い、前記負極性の階調電圧を反転増幅回路で反転増幅して正極性の階調電圧をドレイン信号線(D)に印加するようにした点で、前記実施の形態1の液晶表示モジュールと相違する。以下、本実施の形態のドレインドライバ130について、前記実施の形態1との相違点を中心に説明する。図45は、本実施の形態3の液晶表示モジュールのドレインドライバ130内の出力段の概略構成を示す図である。同図において、高電圧用アンプ回路271には前記図15に示す差動増幅回路が、また、低電圧用アンプ回路272には前記図14に示す差動増幅回路が使用される。本実施の形態の高電圧用アンプ回路271では、オペアンプ(OP3)は反転増幅回路を構成する。そのため、このオペアンプ(OP3)の入力段には、図6に示す高電圧用デコーダ回路278に代えて、図6に示す低電圧用デコーダ回路279が接続される。即ち、本実施の形態では、図6に示すデコーダ部261は、全て低電圧用デコーダ回路279が使用される。それに伴い、図示していないが、本実施の形態では、電源回路120内の正電圧生成回路121、およびドレインドライバ130内の正極性階調電圧生成回路151aは必要ではない。

【0117】図45に示すように、オペアンプ(OP3)の反転入力端子(-)と出力端子との間には、スイッチ回路(SWB1)とコンデンサ(CB1)の並列回路が接続され、また、オペアンプ(OP3)の反転入力端子(-)には、コンデンサ(CB2)の一方の端子が接続される。コンデンサ(CB2)の他方の端子には、スイッチ(SWB3)を介して低電圧用デコーダ回路2

72からの階調電圧が、また、スイッチ(SWB2)を介して基準電位(Vref)が印加される。さらに、オペアンプ(OP3)の非反転入力端子(+)には基準電位(Vref)が印加される。ここで、この基準電位(Vref)は、コモン電極(ITO2)に印加される液晶駆動電圧(Vcom)の電位でもある。

【0118】この反転増幅回路は、リセット動作時に、スイッチ回路(SWB1)およびスイッチ回路(SWB2)がオン、スイッチ回路(SWB3)がオフとなる。この状態では、オペアンプ(OP3)はボルテージホロワ回路を構成し、オペアンプ(OP3)の出力端子および反転入力端子の電位は基準電位(Vref)となり、また、コンデンサ(CB2)の他方の端子にも、基準電位(Vref)が印加されるので、コンデンサ(CB1)およびコンデンサ(CB2)はリセットされる。また、通常の状態では、スイッチ回路(SWB1)およびスイッチ回路(SWB2)がオフ、スイッチ回路(SWB3)がオンとなり、コンデンサ(CA2)を介して入力される負極性の階調電圧は、基準電位(Vref)を基準にして反転増幅され、オペアンプ(OP3)の出力端子から正極性の階調電圧が出力される。本実施の形態では、図6に示す高電圧用デコーダ回路271に代えて、図6に示す低電圧用デコーダ回路272が使用され、さらに、電源回路120内の正電圧生成回路121、およびドレインドライバ130内の正極性階調電圧生成回路151aが不要となるので、構成が簡略化することが可能となる。

【0119】[実施の形態5] 本発明の実施の形態5の液晶表示モジュールは、高電圧用アンプ回路271および低電圧用アンプ回路272として、単一のアンプ回路273を使用する点で、前記実施の形態1と相違する。以下、本実施の形態のドレインドライバ130について、前記実施の形態1との相違点を中心に説明する。図46は、本実施の形態3の液晶表示モジュールのドレインドライバ130内の出力段の概略構成を示す図である。同図において、273は負極性および正極性の階調電圧を出力する単一のアンプ回路であり、本実施の形態では、このアンプ回路273から負極性および正極性の階調電圧を出力する。したがって、このアンプ回路273には、高電圧用デコーダ回路278で選択された正極性の階調電圧、あるいは負電圧用デコーダ回路279で選択された負極性の階調電圧を入力する必要がある。それに伴い、図47に示すように、本実施の形態では、スイッチ部(2)264は、デコーダ部261とアンプ回路263との間に設ける必要がある。

【0120】図48は、図46に示すアンプ回路273に使用される差動増幅回路の一例の回路構成を示す図である。図48に示すアンプ回路273において、○はスイッチングトランジスタを示し、図面中でAと添え書き記載されている○は制御信号(A)でオンするスイチン

グトランジスタを、Bと添え書き記載されている○は制御信号(B)でオンするスイッチングトランジスタを示している。図48に示すアンプ回路273は、出力段をプッシュプル構成とし、それにより、単一のアンプ回路で、負極性および正極性の階調電圧を出力することを可能としている。また、図48に示すアンプ回路273は、電流(I1, I2)がオフの時でも、電流(I1', I2')を流すことができるので、ダイナミックレンジが広いという特性を有している。

【0121】本実施の形態では、各ドレイン信号線(D)毎に単一のアンプ回路から負極性および正極性の階調電圧を出力するようにされており、各画素の輝度は、コモン電極(ITO2)に印加されるコモン電位(Vcom)からの電位で決定されるため、正極性の階調電圧(VH)とコモン電極(ITO2)の電位(Vcom)との間の電圧(|VH-Vcom|)と、負極性の階調電圧(VL)とコモン電極(ITO2)の電位(Vcom)との間の電圧(|VL-Vcom|)とが等しい(|VH-Vcom|=|VL-Vcom|)場合であれば、縦筋の問題はないが、多くの場合、液晶層の極性による対称性、あるいはゲートドライバ140のカップリングにより、正極性の階調電圧(VH)と負極性の階調電圧(VL)とは一致しないので、本実施の形態においても本発明は有用である。

【0122】[実施の形態6] 前記した如く、液晶表示装置においては、液晶表示パネルの高解像度化が要求されている。このような、液晶表示パネルの高解像度化に伴い、表示制御装置110、ドレインドライバ130およびゲートドライバ140も高速動作を余儀なくされており、特に、表示制御装置110からドレインドライバ130に出力されるクロック(CL2)および表示データの動作周波数は高速化の影響が大きい。例えば、XGA表示モードの1024×768画素の液晶表示パネルでは、65MHzの周波数のクロック(CL2)および32.5MHz(65MHzの半分)の周波数の表示データが必要となる。

【0123】そのため、例えば、XGA表示モードの場合、本実施の形態の液晶表示モジュールでは、表示制御装置110からドレインドライバ130へ、クロック(CL2)の周波数を32.5MHz(65MHzの半分)にして、ドレインドライバ130において、クロック(CL2)の立ち上がり時および立ち下がり時で表示データをラッチするようにしている。図49は、出力回路の構成を中心に、本実施の形態6のドレインドライバ130の構成を説明するためのブロック図である。図49は、前記図6に対応する図であるが、図49の図示内容は、図6と若干相違しており、また、シフトレジスタ回路(図6の156)は省略してある。以下、本実施の形態のドライバ130について、前記実施の形態1との相違点を中心に説明する。図49に示すように、本実施

の形態のドライバ130においては、プリラッチ部160が設けられる。図50は、図49に示すプリラッチ部160の一回路構成を示す図である。図50に示すように、表示制御装置110から送出された表示データの一つは、クロック(CL2)の立ち上がりでフリップフロップ回路(F31)にラッチされ、さらに、クロック(CL2)の立ち下がりでフリップフロップ回路(F32)にラッチされ、スイッチ部(3)266に出力される。また、表示データの一つは、クロック(CL2)の立ち下がりでフリップフロップ回路(F33)にラッチされ、さらに、クロック(CL2)の立ち上がりでフリップフロップ回路(F34)にラッチされ、スイッチ部(3)266に出力される。

【0124】プリラッチ部160でラッチされた表示データは、スイッチ部(3)で選択されて、表示データのバスライン161aあるいはバスライン161bに交互に出力される。この2系統のバスライン(161a, 161b)上の表示データは、シフトレジスタ153からのデータ取り込み用信号に基づき、データラッチ部265に取り込まれる。この場合に、本実施の形態では、2画素分のデータ(ドレイン信号線(D)6本分のデータ)が一度にデータラッチ部265に取り込まれる。このデータラッチ部265にラッチされた表示データに基づき、表示データに対応する階調電圧が、ドレインドライバ130のアンプ回路対263から各ドレイン信号線(D)に出力される。この動作は、前記実施の形態1と同じであるので、その説明は省略する。

【0125】図51は、図49に示すバスライン(161a, 161b)上の表示データと、クロック(CL2)の動作周波数を説明するための図である。なお、図51では、表示データの周波数は、データ1個で60MHz(データ2個で30MHz)、クロック(CL2)の周波数は30MHzの場合について説明する。図51に示すように、表示制御装置110から60MHzの周波数で送出された表示データは、フリップフロップ回路(F31)とフリップフロップ回路(F32)、およびフリップフロップ回路(F33)とフリップフロップ回路(F34)とでラッチされて、バスライン(161a, 161b)に送出されるので、バスライン(161a, 161b)上の表示データの周波数は、データ1個で30MHz(データ2個で15MHz)となる。

【0126】図52は、クロック(CL2)の立ち上がり時および立ち下がり時で表示データをラッチする場合で、ドレインドライバ内に1系統のバスライン161しかない場合の、出力回路の構成を中心に、ドレインドライバの構成を説明するためのブロック図である。図53は、図52に示すバスライン161上の表示データと、クロック(CL2)の動作周波数を説明するための図である。図53から分かるように、ドレインドライバ内に1系統のバスライン161しかない場合には、その1系

統のバスライン161上の表示データの周波数は、表示制御装置110から送出された表示データと同じ60MHzとなる。

【0127】図54は、図52に示すドレインドライバを構成する半導体集積回路内のバスライン161のレイアウトを示す図である。図54に示すように、バスライン161は、ドレインドライバを構成する半導体集積回路内の、長手方向にその両端まで形成されているので、プレラッチ部160から離れるほど遅延時間が増大する。そのため、1系統のバスライン161上の表示データの周波数が、表示制御装置110から送出された表示データと同じ周波数(例えば、60MHz)であると、プレラッチ部160から離れた遠方端で表示データをラッチする際のタイミングマージンが減少する。

【0128】しかしながら、本実施の形態では、2系統のバスライン(161a, 161b)を設け、当該2系統のバスライン(161a, 161b)上の表示データの周波数を、表示制御装置110から送出された表示データの周波数(例えば、60MHz)の半分(例えば、30MHz)にできるので、図52に示すドレインドライバの場合に比して、プレラッチ部160から離れた遠方端で表示データをラッチする際のタイミングマージンを2倍にすることができる。これにより、本実施の形態によれば、ドレインドライバ130の高速化を図ることが可能となる。

【0129】また、図52に示すドレインドライバでは、シフトレジスタ153のフリップフロップ回路は、3本のドレイン信号線(D)毎に1個(例えば、ドレイン信号線(D)の総数が258本であれば86個)必要となる。しかしながら、本実施の形態のドレインドライバ130では、2画素分のデータ(ドレイン信号線(D)6本分のデータ)が一度にデータラッチ部265に取り込まれるので、シフトレジスタ153のフリップフロップ回路は、6本のドレイン信号線(D)毎に1個(例えば、ドレイン信号線(D)の総数が258本であれば、43個)でよく、シフトレジスタ153のフリップフロップ回路の個数を、図52に示すドレインドライバ130の半分にすることができる。

【0130】さらに、本実施の形態のドレインドライバ130では、プリラッチ部160から出力される表示データを、スイッチ部(3)266で切り替えて、2系統のバスライン(161a, 161b)に交互に出力するようにしたので、図52に示すスイッチ部(1)262が必要ない。このスイッチ部(1)262は、6本のドレイン信号線(D)毎に1個(例えば、ドレイン信号線(D)の総数が258本であれば、43個)必要となる。しかしながら、本実施の形態のドレインドライバ130のスイッチ部(3)266は、表示データのビット数(図49では、表示データは6ビットであるので、18個)だけでよい。このように、本実施の形態のドレイ

ンドライバ130では、図52に示すドレインドライバに比して、シフトレジスタ153のフリップフロップ回路、およびスイッチ部の個数を大幅に少なくすることができ、ドレインドライバ130の内部回路の構成を簡略化することが可能となる。

【0131】なお、前記各実施の形態では、縦電界方式の液晶表示パネルに本発明を適用した実施の形態について説明したが、これに限定されず、本発明は、図49に示す横電界方式の液晶表示パネルにも適用可能である。図55は、電界方式の液晶表示パネルの等価回路を示す図である。図2または図3に示す縦電界方式の液晶表示パネルでは、カラーフィルタ基板にコモン電極(I TO 2)が設けられるのに対して、横電界方式の液晶表示パネルでは、TFT基板に対向電極(CT)、および対向電極(CT)に駆動電圧(V COM)を印加するための対向電極信号線(CL)が設けられる。そのため、液晶容量(Cpix)は、画素電極(PX)と対向電極(CT)と間に等価的に接続される。また、画素電極(PX)と対向電極(CT)と間には蓄積容量(Cstg)も形成される。また、前記各実施の形態では、駆動方法としてドット反転方式が適用される実施の形態について説明したが、これに限定されず、本発明は、1ライン毎、あるいは1フレーム毎に、画素電極(I TO 1)およびコモン電極(I TO 2)に印加する駆動電圧を反転するコモン反転法にも適用可能である。

【0132】以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0133】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0134】(1) 本発明によれば、映像信号線駆動手段のアンプ回路のオフセット電圧により、液晶表示素子の表示画面中に黒または白の縦筋が生じるのを防止して、液晶表示素子に表示される表示画面の表示品質を向上させることが可能となる。

【0135】(2) 本発明によれば、映像信号線駆動手段のレベルシフト回路に、ソース・ドレイン間耐圧が低耐圧のトランジスタを使用して、ソース・ドレイン間耐圧が、低耐圧トランジスタのソース・ドレイン間耐圧以上の高耐圧トランジスタを使用する場合に比して、映像信号線駆動手段のチップ中に占めるレベルシフト回路の面積を小さくすることが可能となる。

【0136】(3) 本発明によれば、映像信号線駆動手段のチップサイズを小さくすることが可能となり、それにより、狭額縁化に容易に対応可能となり、かつ、液晶表示装置のコストを低減し、信頼性を向上させることが

可能となる。

【0137】(4) 本発明によれば、表示データラッチ用クロックおよび表示データの動作周波数が高速化されても、映像信号線駆動手段を構成する半導体集積回路内部で表示データをラッチする際のタイミングマージンを確保することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】 図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】 図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】 液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線(D)に出力される液晶駆動電圧の極性を説明するための図である。

【図5】 図1に示すドレインドライバの一例の概略構成を示すブロック図である。

【図6】 出力回路の構成を中心に、図5に示すドレインドライバの構成を説明するためのブロック図である。

【図7】 図6に示すスイッチ部(2)の一スイッチ回路の回路構成を示す回路図である。

【図8】 図6に示す高電圧用アンプ回路、および低電圧用アンプ回路として使用されるボルテージホロウ回路を示す回路図である。

【図9】 図6に示す低電圧用アンプ回路に使用されるオペアンプを構成する差動増幅回路の一例を示す回路図である。

【図10】 図6に示す高電圧用アンプ回路に使用されるオペアンプを構成する差動増幅回路の一例を示す回路図である。

【図11】 図11は、オフセット電圧(V off)を考慮したオペアンプの等価回路を示す図である。

【図12】 オフセット電圧(V off)がある場合、およびオフセット電圧(V off)がない場合に、ドレイン信号線(D)に印加される液晶駆動電圧を説明するための図である。

【図13】 オフセット電圧(V off)により液晶表示パネルに縦筋が生じる理由を説明するための図である。

【図14】 本実施の形態1の低電圧用アンプ回路の回路構成を示す回路図である。

【図15】 本実施の形態1の高電圧用アンプ回路の回路構成を示す回路図である。

【図16】 本実施の形態1の低電圧用アンプ回路において、制御信号(A)がHレベルの場合の回路構成を示す回路図である。

【図17】 本実施の形態1の低電圧用アンプ回路において、制御信号(B)がHレベルの場合の回路構成を示す回路図である。

【図18】本実施の形態1のドレインドライバの出力段の構成を示す図である。

【図19】本実施の形態1のドレインドライバの動作を説明するためのタイミングチャートである。

【図20】本実施の形態1において、オフセット電圧（V_{off}）により液晶表示パネルに生じる縦筋が目立たなくなる理由を説明するたの図である。

【図21】本実施の形態1において、オフセット電圧（V_{off}）により液晶表示パネルに生じる縦筋が目立たなくなる理由を説明するたの図である。

【図22】本実施の形態1において、オフセット電圧（V_{off}）により液晶表示パネルに生じる縦筋が目立たなくなる理由を説明するたの図である。

【図23】本実施の形態1のドレインドライバ内の制御回路の要部回路構成を示すブロック図である。

【図24】図23に示す制御信号生成回路の回路構成を示す回路図である。

【図25】図24に示す制御信号生成回路の動作を説明するためのタイミングチャートである。

【図26】図23に示すフレーム認識信号生成回路の回路構成を示す回路図である。

【図27】図26に示すフレーム認識信号生成回路の動作を説明するためのタイミングチャートである。

【図28】本実施の形態1の制御回路の動作を説明するためのタイミングチャートである。

【図29】図28に示すクロック生成回路の一例を示す回路図である。

【図30】本実施の形態1のドレインドライバを構成する半導体集積回路内の各部の配置を示す要部レイアウト図である。

【図31】従来のレベルシフト回路の回路構成を示す回路図である。

【図32】本実施の形態1のレベルシフト回路の回路構成を示す回路図である。

【図33】図32に示す各部の電圧波形を示す図である。

【図34】本実施の形態1のドレインドライバを構成する半導体集積回路内において、レベルシフト回路が占める領域を説明するための図である。

【図35】図32に示すPMOSトランジスタ（PSA1、PSA3）およびNMOSトランジスタ（NSA1、NSA3）の断面構造を示す要部断面図である。

【図36】本実施の形態1のドレインドライバ内の高電圧用デコーダ回路および低電圧用デコーダ回路の回路構成を示す回路図である。

【図37】本実施の形態2のドレインドライバ内の高電圧用デコーダ回路の一例の回路構成を示す回路図である。

【図38】図37に示す第2階調電圧生成回路の動作を説明するための図である。

【図39】本実施の形態2のドレインドライバの出力段の構成を示す図である。

【図40】本実施の形態2のドレインドライバ内の高電圧用デコーダ回路の他の例の回路構成を示す回路図である。

【図41】本実施の形態2のドレインドライバ内の低電圧用デコーダ回路の他の例の回路構成を示す回路図である。

【図42】図40に示す高電圧用デコーダ回路、あるいは図41に示す低電圧用デコーダ回路において使用される第2階調電圧生成回路の一例を示す図である。

【図43】本実施の形態3のドレインドライバの出力段の構成を示す図である。

【図44】図43に示す高電圧用アンプ回路、または低電圧用アンプ回路の一つと、その入力段に接続されるスイッチドキャパシタ回路とを示す図である。

【図45】本実施の形態4のドレインドライバの出力段の構成を示す図である。

【図46】本実施の形態5のドレインドライバの出力段の構成を示す図である。

【図47】出力回路の構成を中心に、本実施の形態5のドレインドライバの構成を説明するためのブロック図である。

【図48】図47に示すアンプ回路に使用される差動増幅回路の一例の回路構成を示す回路図である。

【図49】出力回路の構成を中心に、本実施の形態6のドレインドライバ130の構成を説明するためのブロック図である。

【図50】図49に示すブリラッチ部160の一回路構成を示す図である。

【図51】図49に示すバスライン（161a、161b）上の表示データと、クロック（CL2）の動作周波数を説明するための図である。

【図52】クロック（CL2）の立ち上がり時および立ち下がり時で表示データをラッチする場合で、ドレインドライバ内に1系統のバスラインしかない場合の、出力回路の構成を中心に、ドレインドライバの構成を説明するためのブロック図である。

【図53】図52に示すバスライン上の表示データと、クロック（CL2）の動作周波数を説明するための図である。

【図54】図52に示すドレインドライバを構成する半導体集積回路内のバスラインのレイアウトを示す図である。

【図55】電界方式の液晶表示パネルの等価回路を示す図である。

【符号の説明】

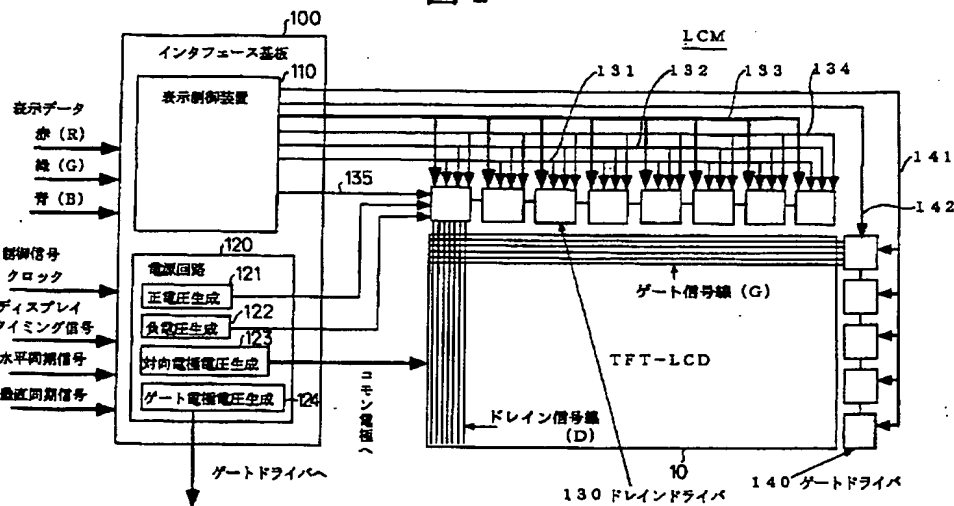
10…液晶表示パネル（TFT-LCD）、20…p型半導体基板、21…nウェル、22…pウェル、24a、24b、24c、24d…n型半導体領域、25

a, 25 b, 25 c, 25 d...p型半導体領域、26 a, 26 b, 27 a, 27 b...ゲート電極、100...インタフェース部、110...表示制御装置、120...電源回路、121, 122...電圧生成回路、123...コモン電極電圧生成回路、124...ゲート電極電圧生成回路、130...ドレインドライバ、131, 132, 134, 135, 141, 142...信号線、133, 161, 161 a, 161 b...表示データのバスライン、140...ゲートドライバ、151 a, 151 b...階調電圧生成回路、152...制御回路、153...シフトレジスタ回路、154...入力レジスタ回路、155...ストレージレジスタ回路、156...レベルシフト回路、157...出力回路、158 a, 158 b...電圧バスライン、160...プリラッチ部、261...デコーダ部、262, 264, 266...スイッチ部、263...アンプ回路対、265...データラッチ部、271...高電圧用アンプ回路、272...低電圧用アンプ回路、273...高電圧・低電圧用アンプ回路、278, 279, 301, 311, 312...デコーダ回路、302...マルチプレクサ、303...第2階調電圧生成回路、400...制御信号生成回路、401...P

ORN信号生成回路、402...分圧回路、403...インバータ回路群、410...フレーム認識信号生成回路、420...シフトクロックイネーブル信号生成回路、430...シフト用クロック生成回路、440...パルス生成回路、450...パルス選択回路、D...ドレイン信号線（映像信号線または垂直信号線）、G...ゲート信号線（走査信号線または水平信号線）、ITO1, CX...画素電極、ITO2...コモン電極、CT...対向電極、CL...対向電極信号線、TFT...薄膜トランジスタ、CLC, Cpix...液晶容量、CSTG...保持容量、CADD...付加容量、Cstg...蓄積容量、S, SWA, SWB...スイッチ素子、PM, PA, PB, PSB, PSA, PBP, PBB...PMOSトランジスタ、NM, NA, NB, NSB, NSA, NBP, NBB...NMOSトランジスタ、C, Co, CA, CB...コンデンサ、SG1~SG3...スイッチ制御回路、NAND...ナンド回路、AND...アンド回路、NOR...ノア回路、INV...インバータ、OP...オペアンプ、F...フリップ・フロップ回路、EXOR...排他的論理和回路。

【図1】

【図50】



【図8】

【図26】

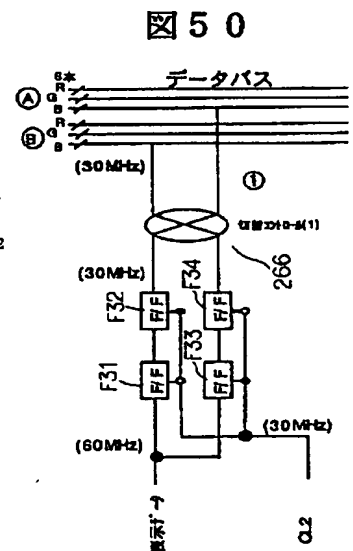
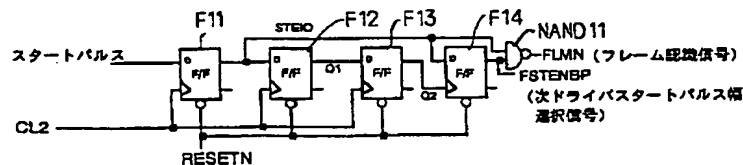
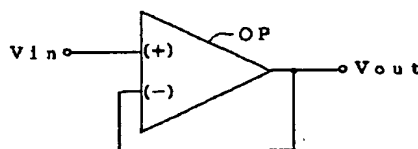


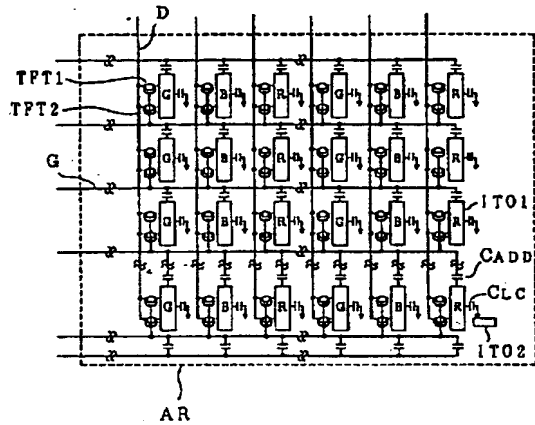
図 8

図 26



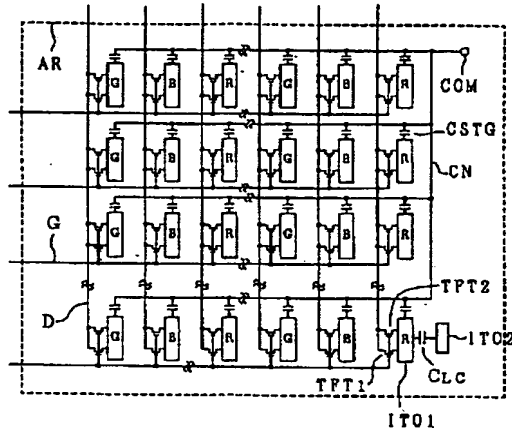
【図2】

図2



【図3】

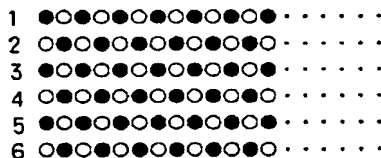
図3



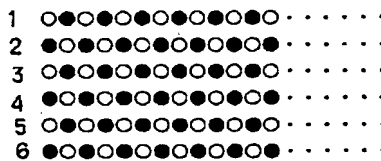
【図4】

図4

奇数フレーム

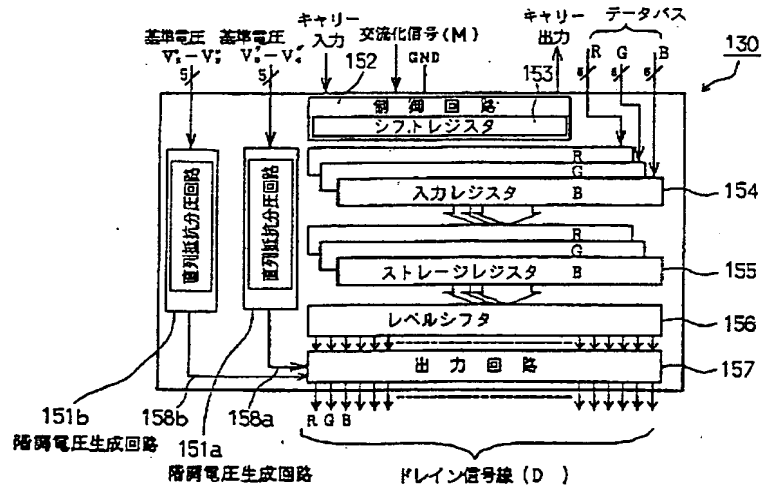


偶数フレーム



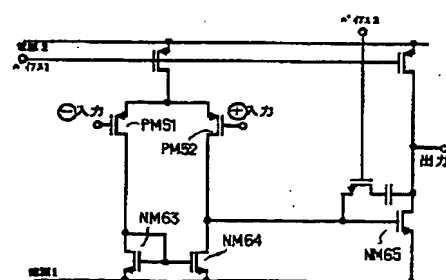
【図5】

図5



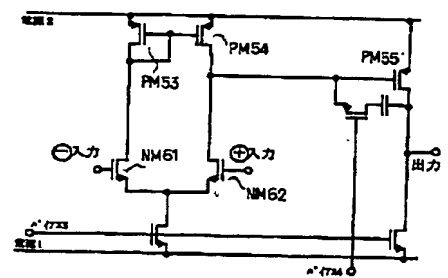
【図9】

図9



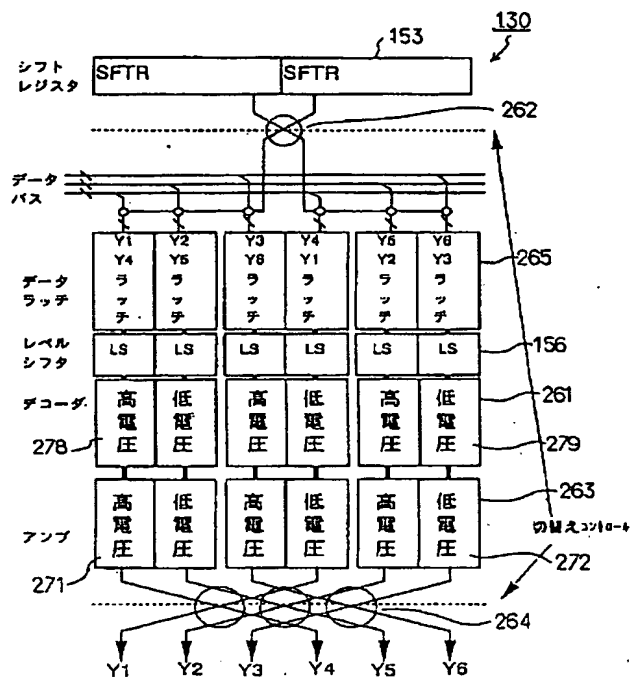
【図10】

図10



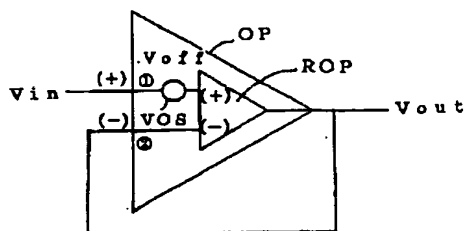
【図6】

図 6



【図11】

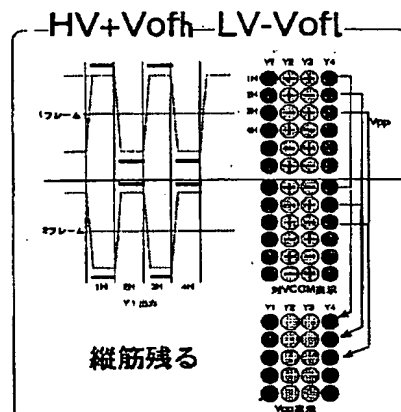
図 11



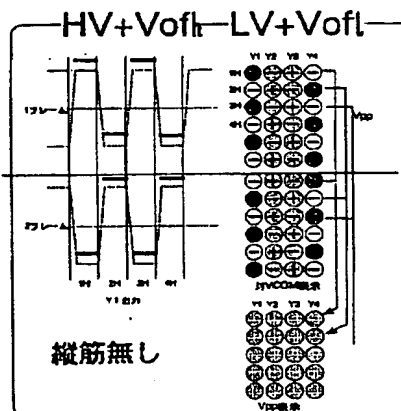
$V_{out} = V_{in}$ (オフセット電圧がない場合)
 $V_{out} = V_{in} + V_{off}$ (オフセット電圧がある場合)

【図13】

図 13



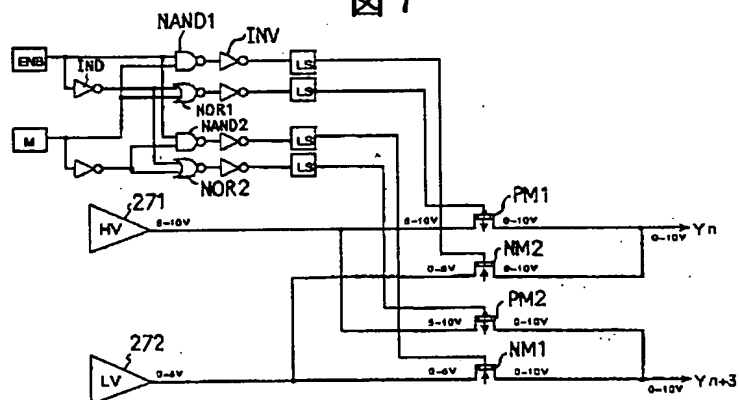
(a)



(b)

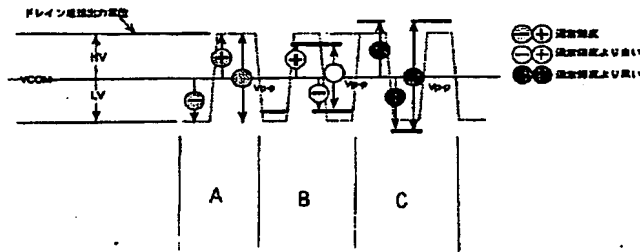
【図7】

図 7



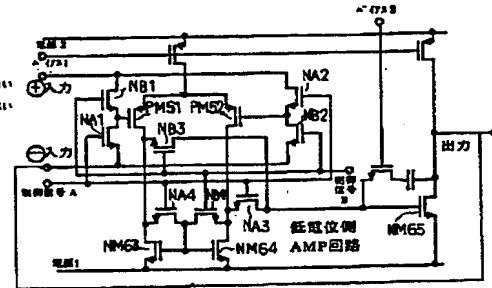
【図12】

図12



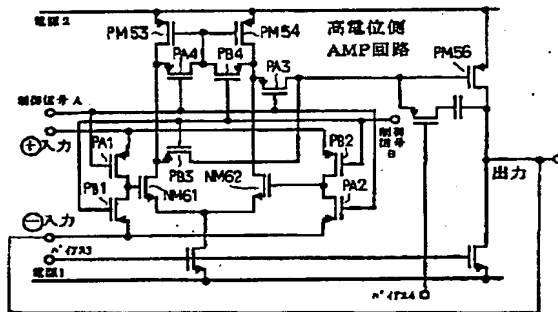
【図14】

図14



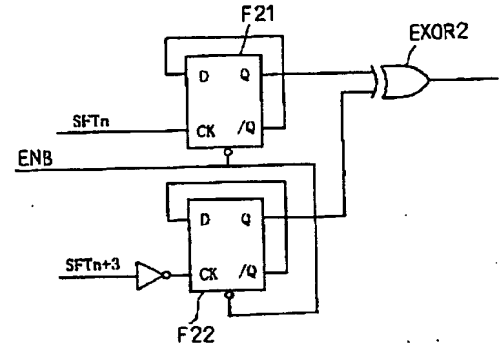
【図15】

図15



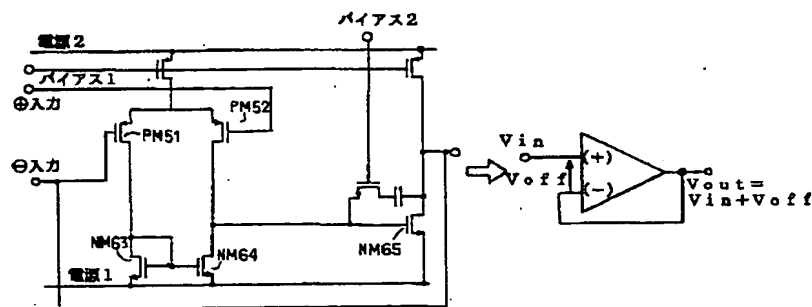
【図29】

図29



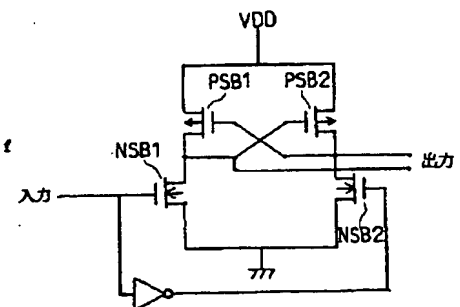
【図16】

図16

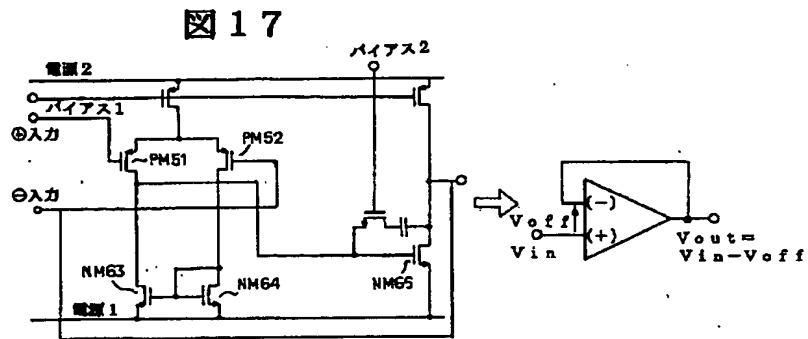


【図31】

図31

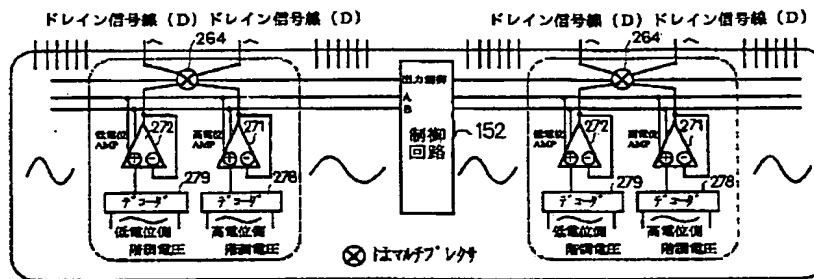


【図17】



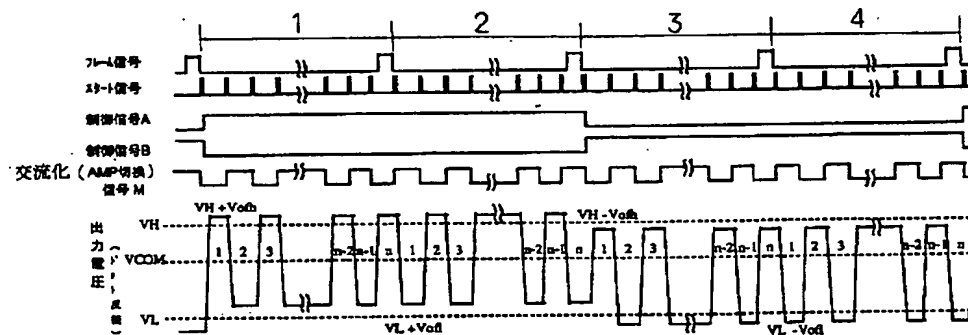
【図18】

図18



【図19】

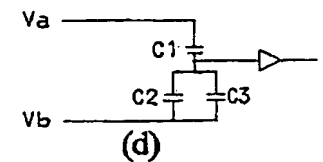
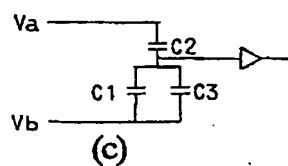
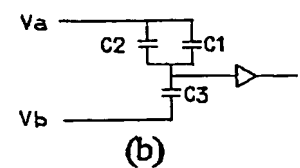
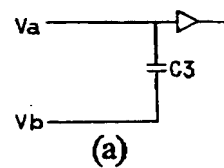
図19



[illegible]

Figure 1 shows the waveforms of the input voltage and the output voltages at various points in a bridge rectifier circuit. The input voltage is a square wave between 0V and 4V. The output voltages at points a, a', b, b', c, and c' are shown as square waves with different levels: a and a' are between 0V and $4V - V_{th}$; b and b' are between $4V + V_{th}$ and 8V; c and c' are between 0V and 8V.

	D 1	D 0	o n S W	出力
a	0	0	S 1	V _a
b	0	1	S 2, S 3	V _a + 1 / 4 ΔV
c	1	0	S 3, S 5	V _a + 2 / 4 ΔV
d	1	1	S 2, S 4	V _a + 3 / 4 ΔV



This Page Blank (uspto)

(45)

(72)発明者 小寺 浩一

東京都国分寺市東恋ヶ窪三丁目1番地1

日立超エル・エス・アイ・エンジニアリン
グ株式会社内

【図49】

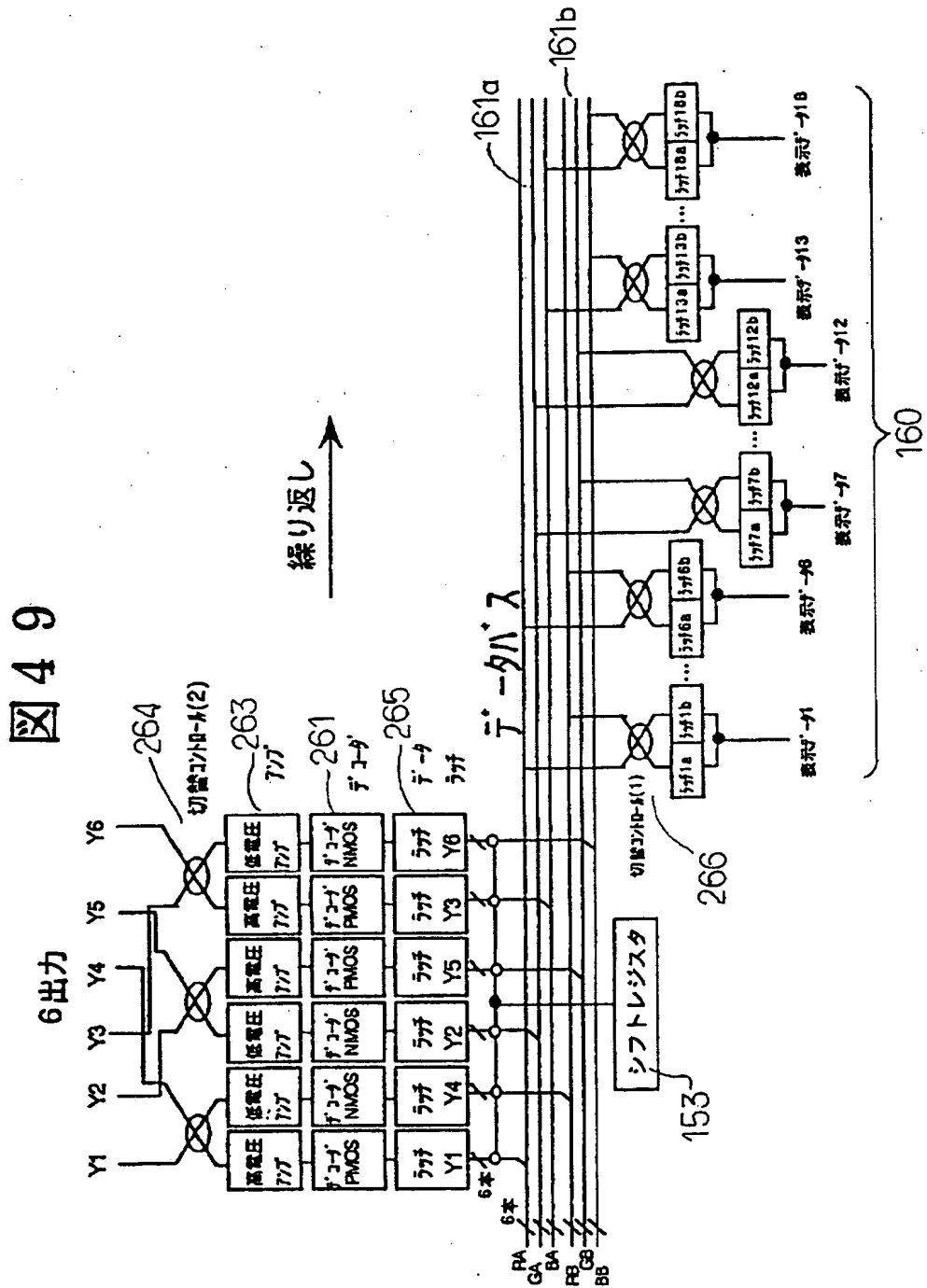
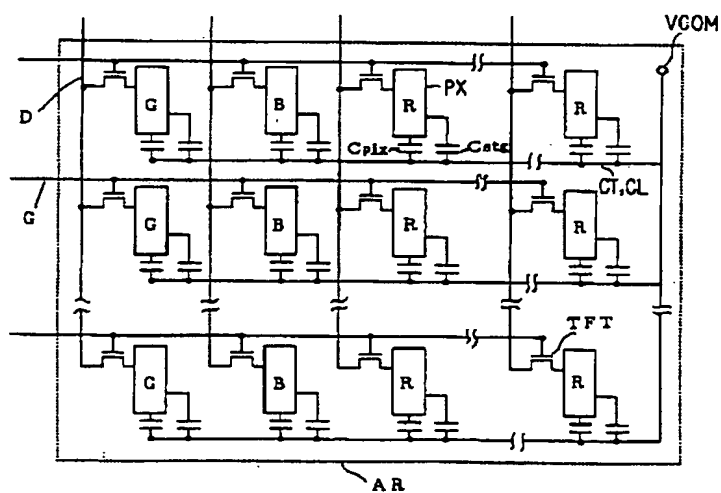
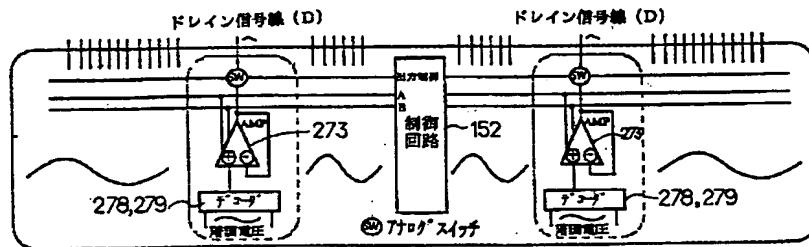


图 5 5



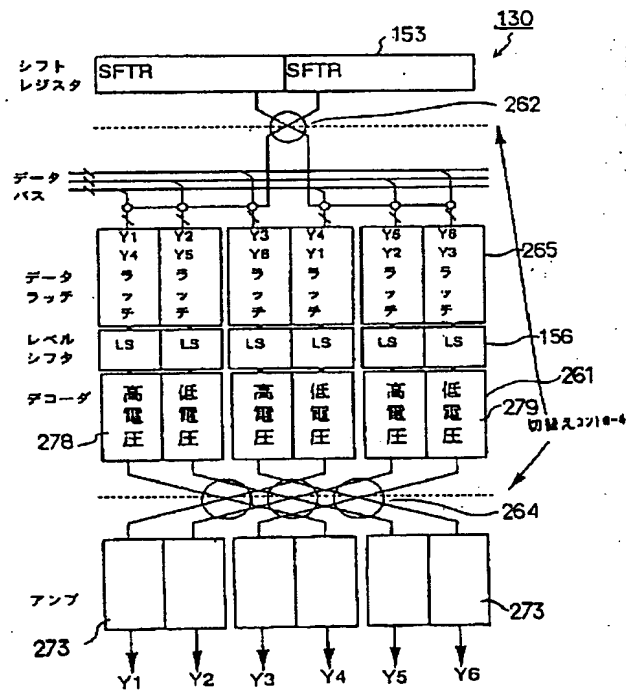
【図46】

図46



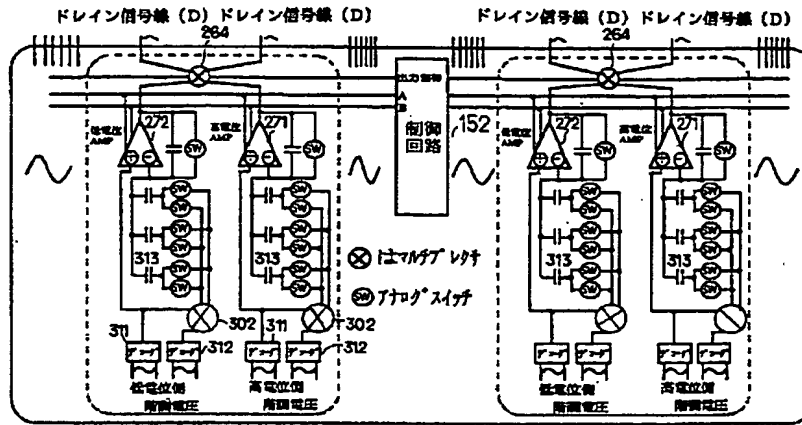
【図47】

図47



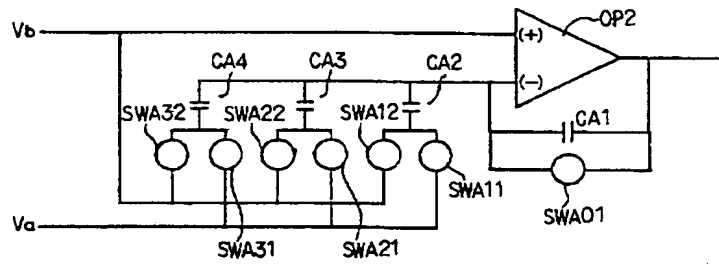
【図 4 3】

図 4 3



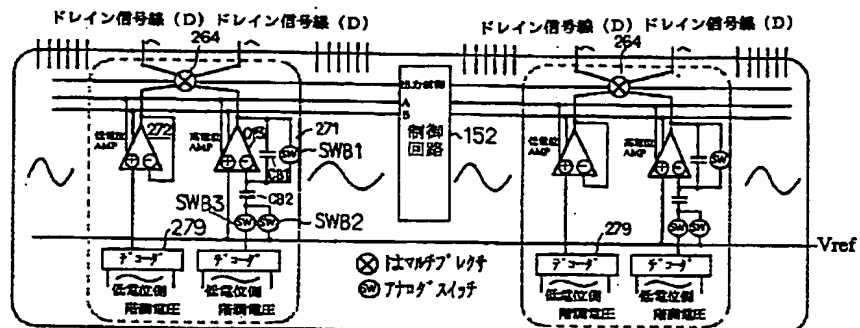
【図 4 4】

図 4 4



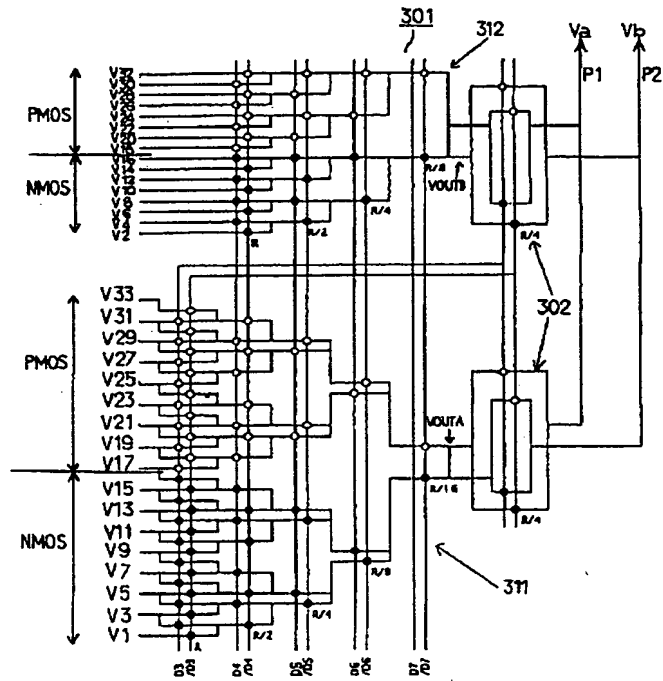
【図 4 5】

図 4 5



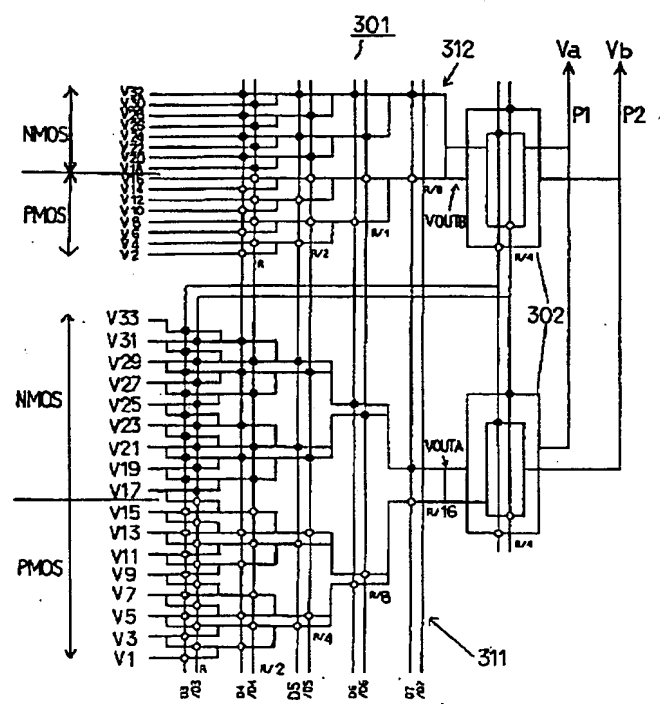
【図 4 0】

図 4 0



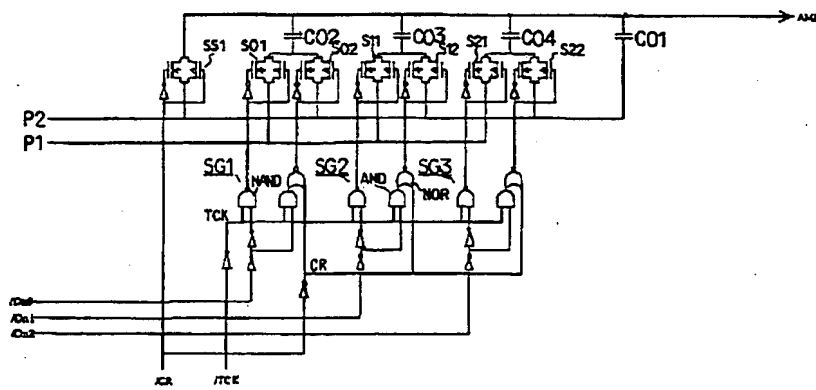
【図 4 1】

図 4 1



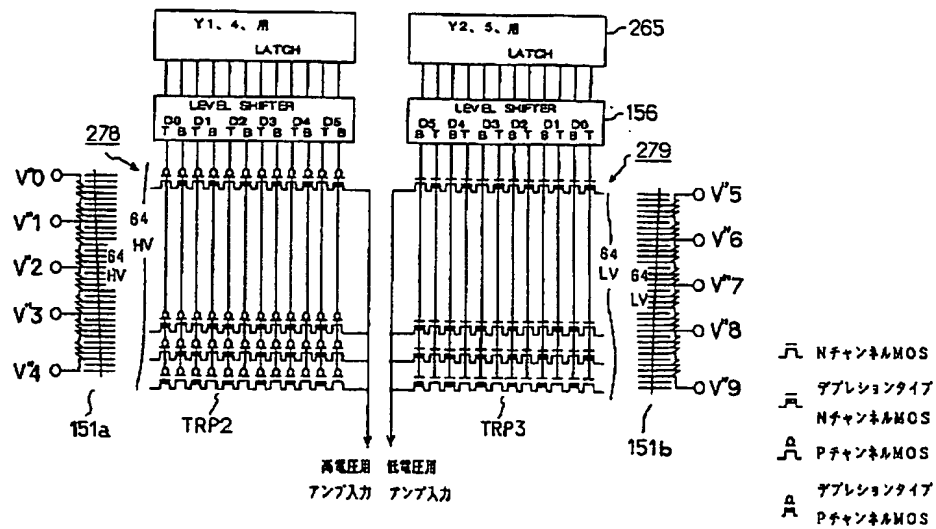
【図 4 2】

図 4 2



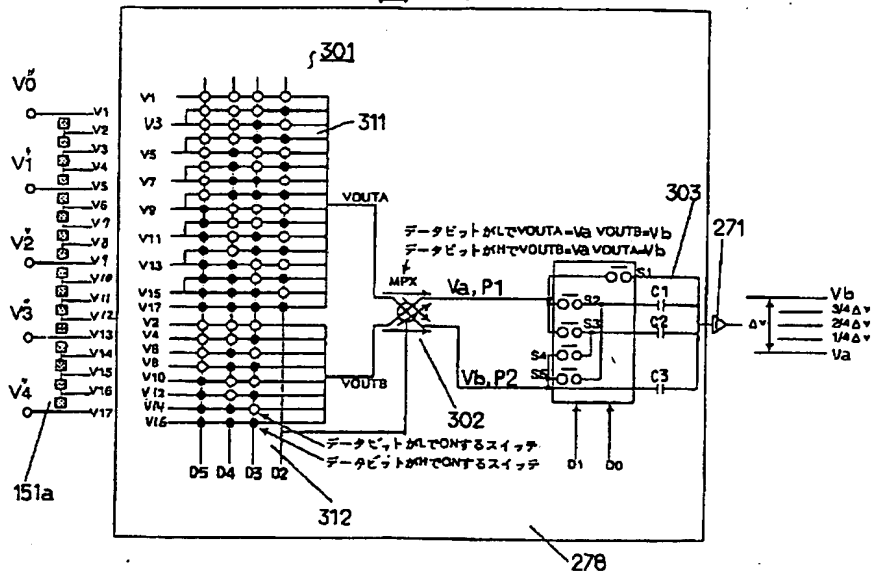
【図36】

図36



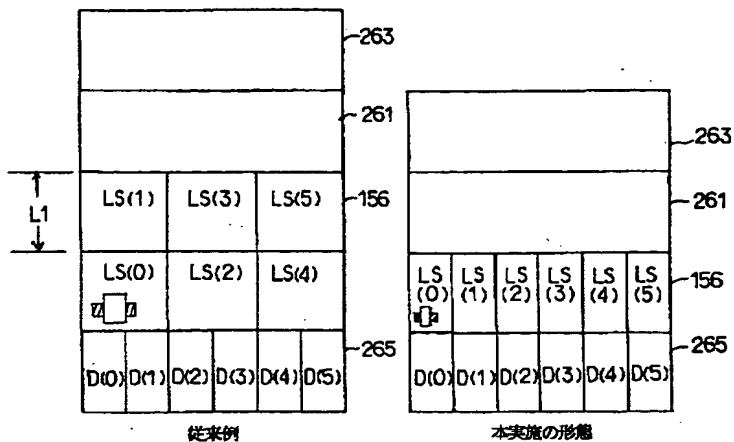
【図37】

図37



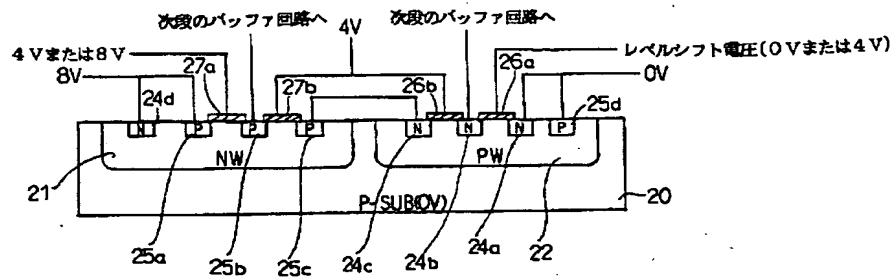
【図34】

図34



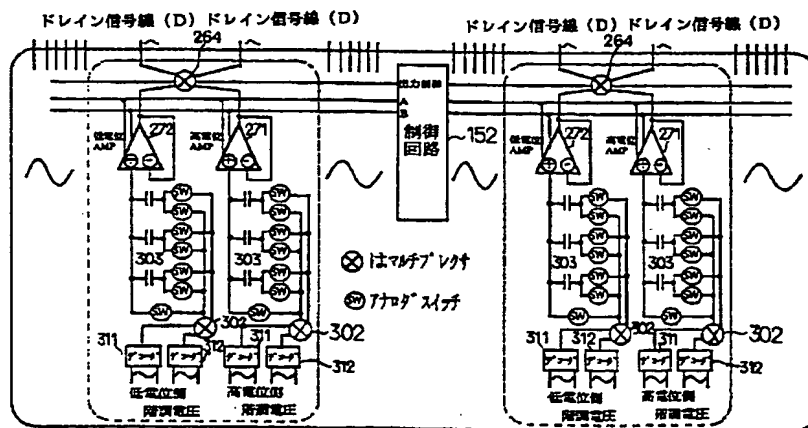
【図35】

図35

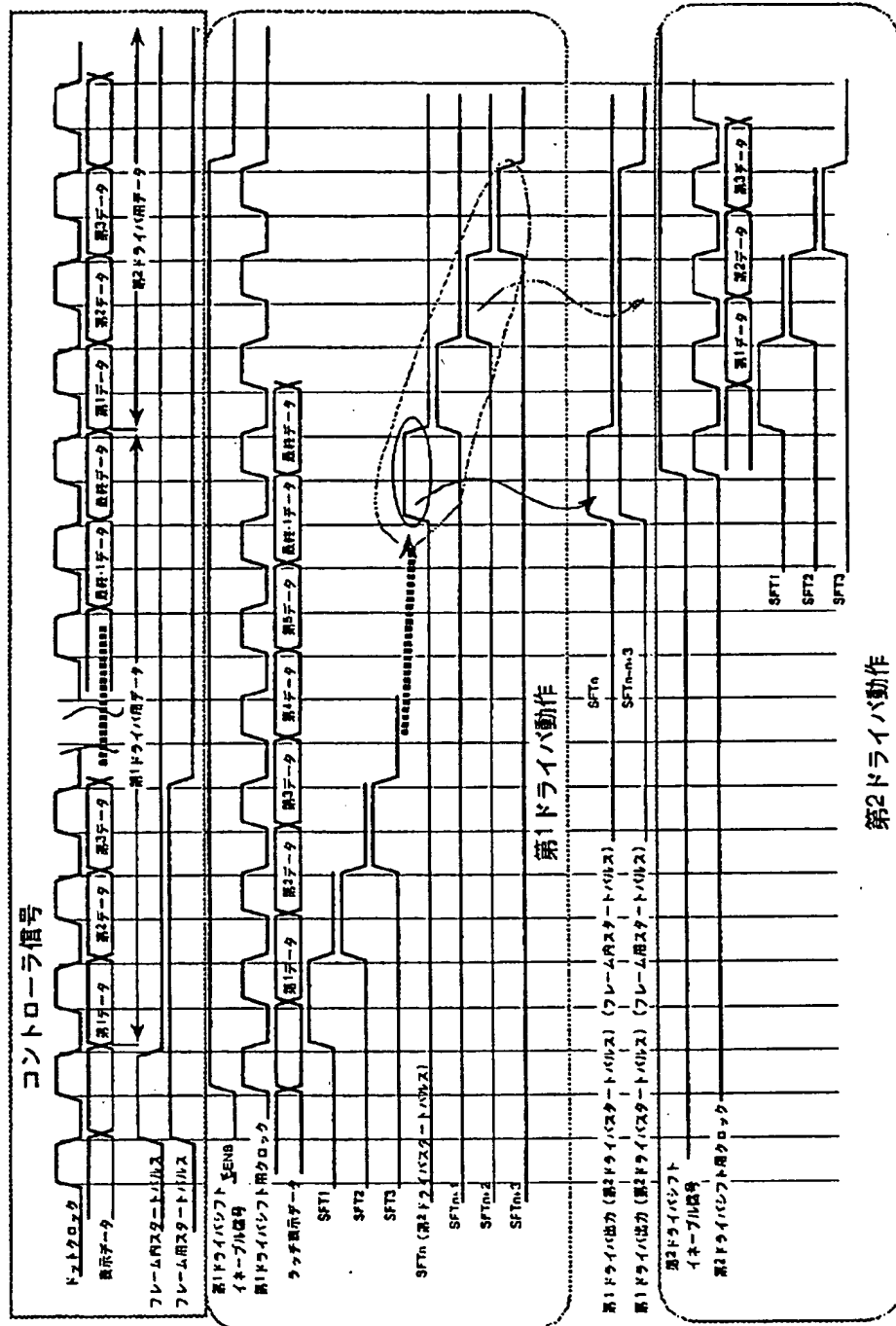


【図39】

図39



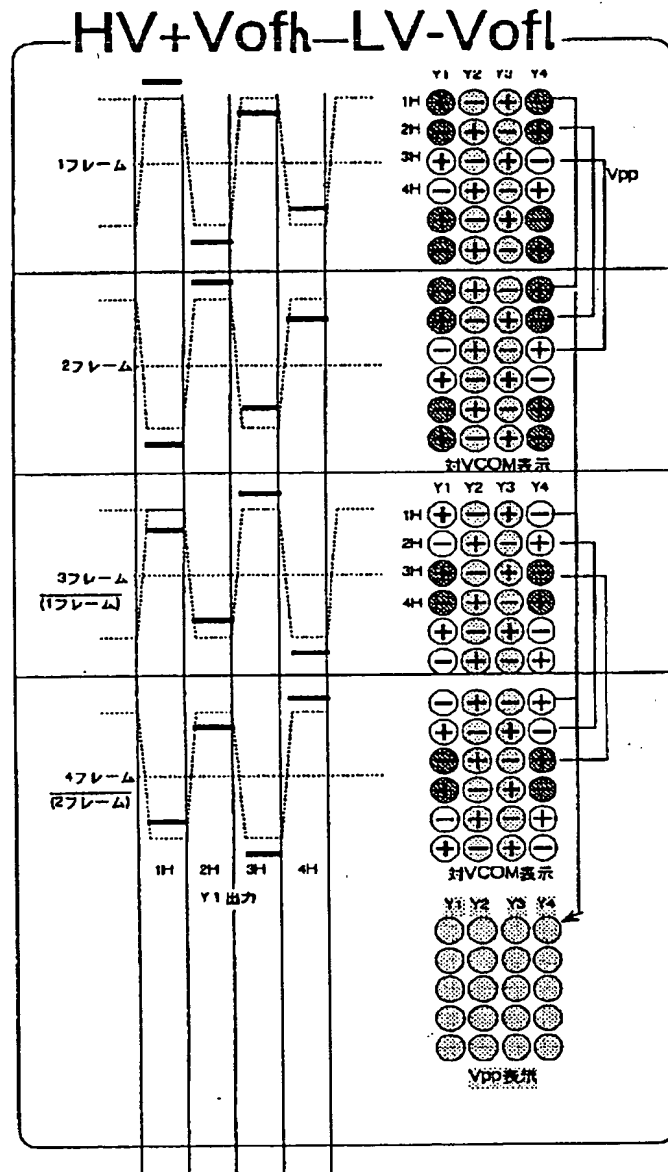
【図 28】



[illegible]

【図 2 2】

図 2 2



【図21】

図 2 1

